طراحی و شبیه سازی مدار جمع کننده پنج ارزشی جدید مبتنی بر ترانزیستور نانو نوار گرافن

مهدیه نیری [۱] و مریم نیری [۲،*]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۹/۰۲/۲۳

پذیرش مقاله: ۱۳۹۹/۰۷/۲۱

واژگان کلیدی:

نانو نوار گرافن،

منطق پنج ارزشی،

گلویس،

جمع کننده.

چکیده

در این مقاله طراحی و شبیه‌سازی مدارات پنج ارزشی مبتنی بر نانونوارگرافن ارائه شده است. منطق پنج ارزشی بیان شده منطبق بر منطق گلویس می‌باشد. برای شبیه‌سازی ترانزیستور نانو نوار گرافن از مدل سازگار با HSPICE و تکنولوژی ۱۵ نانومتر استفاده شده است. بر این اساس، ابتدا مدارات NAND و NOR پنج ارزشی پیشنهادی، طراحی و شبیه‌سازی شده‌اند. نتایج حاصله نشان می‌دهند این مدارها از نظر سرعت و توان مصرفی در مقایسه با مدارات همتای CNTFET خود از بهبود چشمگیری برخوردار هستند. در ادامه، مدار جمع‌کننده به عنوان اصلی‌ترین بخش پردازنده‌های دیجیتالی در طراحی مدارات مجتمع، با منطق پنج ارزشی پیشنهاد گردید. . پاسخ گذرای مدارات حاکی از دقیق بودن خروجی‌ها می‌باشد. پارامترهایی نظیر توان مصرفی، تأخیر و حاصل ضرب توان در تأخیر محاسبه گردید. ارزیابی نتایج نشان می‌دهد مدار جمع‌کننده پیشنهادی دارای حاصل ضرب تأخیر در توان ۱۷۹/۳ فمتو ژول در ولتاژ تغذیه ۰/۸ ولت و فرکانس کاری ۱۰۰ مگا هرتز می‌باشد.

۱-مقدمه

چالش‌های فیزیکی ناشی از کاهش ابعاد در ساختارهای الکترونیکی مدرن، ادامه نقشه راه بین‌المللی فن‌آوری برای نیمه‌هادی‌ها و پیروی از قانون مور را برای صنعت الکترونیک بسیار دشوار کرده است[۱]. همین عوامل موجب شده‌اند تا امکان جایگزینی سیلیسیم به صورت جدی مطرح شده و مورد بررسی قرار داده شود. در این راستا، مواد دوبعدی مانند نانو لوله کربنی و گرافن[۲و۳] به دلیل توانایی بالقوه در رفع چالش‌های فیزیکی ناشی از کوچک شدن ابعاد در صنعت کنونی الکترونیک، کاندیدای بسیار امیدوارکننده‌ای به نظر می‌رسند [۴و۵]. در ترانزیستورهای نانو لوله کربنی، کاهش ابعاد فیزیکی موجب افزایش جریان نشتی حالت خاموش می شود [۶]. نمونه‌ای دیگر مواد دوبعدی گرافن است که تک لایه گرافیت می‌باشد (شکل۱). گرافن مثال بی‌نظیری از یک هادی حرارتی و الکتریکی بسیار نازک با قابلیت حرکت زیاد است [۷]. از آنجایی که گرافن دارای ضخامتی در حد اتم کربن است، می‌توان کانال ترانزیستورها را به مقیاس‌های نانومتری تقلیل داد [۸]. علاوه بر این، به واسطه عدم پدیده پراکندگی در گرافن می‌توان به ساخت ترانزیستورهای بالستیک در طراحی ادوات نانو الکترونیک دست یافت [۹]. در مقابل، در ادوات مبتنی بر نانولوله کربنی، کنترل چرخش و قطر به منظور تنظیم شکاف انرژی الکترونیکی کار سختی بوده و مشکلی بزرگ در تکنولوژی محسوب می‌شود [۱۰]. نانو نوارهای گرافنی بدون داشتن این مشکل نوید بخش عناصر سازنده در ادوات نانو الکترونیک محسوب می‌شوند.

در سال ۲۰۱۱، Choudhury و همکارانش [۱۱] به مطالعه ترانزیستور نانو نوارگرافن[۲] پرداختند. آن‌ها بیان کردند که مدل ماسفت نانو نوار گرافن خصوصیات بهتری مانند جریان روشن به خاموش بالاتر، رسانایی بیشتر و رفتار اشباع بهتری

* پست الکترونیک نویسنده مسئول: nayeri@iauyazd.ac.ir

۱. دانش آموخته دکتری کامپیوتر، واحد یزد، دانشگاه آزاد اسلامی، یزد، ایران

۲. گروه مهندسی برق، واحد یزد، دانشگاه آزاد اسلامی، یزد، ایران

[2] Graphene NanoRibbon Field Effect Transistor(GNRFET)

نسبت به مدل سد شاتکی[1] نشان می‌دهد. علاوه بر این، نتایج آن‌ها نشان داد که مدارات الکترونیکی بر پایه گرافن می‌تواند سریع‌تر، کوچک‌تر و کم‌مصرف‌تر در مقایسه با CMOS باشند. در سال ۲۰۱۳، Chen و همکارانش [۱۲] مدل SPICE را برای ترانزیستور نانو نوار گرافن ارائه نمودند. این مدل چندین پارامتر مختلف از جمله ناصافی لبه را در بر می‌گیرد. علاوه بر این، آن‌ها گیت‌های منطقی باینری را بر پایه نانو نوار گرافن طراحی کرده‌اند. نتایج آن‌ها نشان می‌دهد که با استفاده از نانو نوار گرافن می‌توان به مدارات توان پایین دست یافت. همچنین ناصافی لبه می تواند کارآیی ترانزیستور نانو نوار گرافن را کاهش دهد. در سال ۲۰۱۶، Fahad و همکارانش [۱۳] مدل انتقال جریان ترانزیستور اثر میدانی تونلی مبتنی بر نانو نوار گرافن را برای طراحی مدارات دیجیتال ارائه کردند. آن‌ها همچنین برای اولین بار معکوس‌کننده با استفاده از نانو نوار آرمچیر گرافن را طراحی نمودند. نتایج آن‌ها نشان می‌دهد با بکارگیری ترانزیستور نانو نوار گرافن می‌توان به مداراتی کم‌توان و پرسرعت دست یافت.

در سال ۲۰۱۹، برای اولین بار روشی برای طراحی مدارات چند ارزشی مبتنی بر نانو نوارگرافن ارائه شد [۱۴]. در این مقاله، گیت‌های NAND، NOR و Half adder سه ارزشی پیاده سازی شدند. نتایج شبیه‌سازی‌ها حاکی از آن است که تمام مدارات طراحی شده نسبت به همتای CNTFET خود، مقدار حاصل ضرب تأخیر در توان[2] پایین‌تری دارند. علاوه بر این، تغییر فرآیندهای مختلف بر روی مدارات مبتنی بر نانو نوار گرافن انجام پذیرفت. نتایج بیانگر این موضوع است که مدارات طراحی شده نسبت به تغییرات دمایی حساس نیستند. لیکن افزایش ظرفیت خازن بار، موجب افزایش تأخیر مدارات ارائه شده می‌شود.

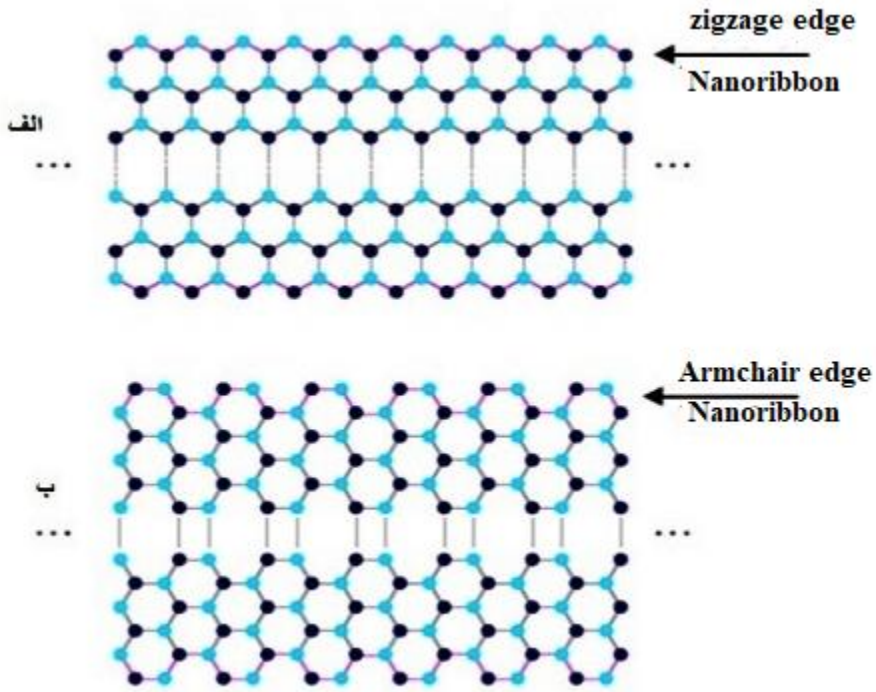
در پژوهش حاضر، برای اولین بار مدارات پنج ارزشی مبتنی بر ترانزیستور نانو نوار گرافن طراحی شده‌است. روش مورد استفاده در این طراحی بر مبنای تغییر ولتاژ آستانه برای ایجاد ولتاژهای مختلف در منطق پنج ارزشی می‌باشد. ولتاژ تغذیه ۰/۸ ولت و فرکانس کاری ۱۰۰ مگا هرتز در نظر گرفته شده‌است. روش پیشنهادی منجر به کاهش شدید حاصل ضرب تأخیر در توان مصرفی نسبت به همتای CNTFET خود می‌شود. بدین ترتیب مدارات طراحی شده با این روش، دارای عملکرد بالا از نظر سرعت و توان مصرفی می‌باشند.

سازماندهی مقاله به شرح زیر است: در بخش ۲، ساختار GNRFET تشریح می‌شود. در ادامه، مشخصات مدل ترانزیستور در بخش ۳ ارائه می‌گردد. بخش ۴ به تبیین منطق پنج ارزشی می‌پردازد. طراحی مدارات پیشنهادی NAND، NOR و جمع‌کننده بر اساس منطق پنج ارزشی و با فناوری ترانزیستورهای اثر میدان مبتنی بر نانو نوار گرافن به ترتیب در بخش های ۵ و ۶ و ۷ ارائه می‌گردند. نتایج حاصل از شبیه‌سازی و مقایسه مدارات پیشنهادی با مدارات قبلی در بخش ۸ مورد بحث قرار می‌گیرد. در نهایت، بخش آخر به نتیجه‌گیری اختصاص می‌یابد.

۲- ساختار GNRFET

نانو نوارهای گرافنی در امتداد جهت مشخصی از صفحه گرافن ساخته شده و با توجه به شکل لبه‌ها به نانو نوارهای آرمچیر و زیگزاگ طبقه‌بندی می‌شوند. شکل (۱-الف) و (۱-ب)، به ترتیب نانو نوار گرافن با لبه زیگزاگ و آرمچیر را نمایش می‌دهد. محاسبات تایت بایندینگ[3] نشان می‌دهد نانو نوارهای گرافنی زیگزاگ، دارای مشخصه فلزی می‌باشند در حالیکه نانو نوارهای گرافنی آرمچیر بسته به جهت و عرض نانو نوار فلزی یا نیمه‌هادی هستند [۱۵]. لبه نانو نوار گرافنی به طور موثری تعیین‌کننده خواص الکتریکی آن است. در نانو نوارگرافنی زیگزاگ، ساختار نوار الکترونیکی شامل نواری تخت متناظر با ترازهای محلی در لبه‌هاست که در اطراف سطح فرمی ظاهر می‌شود [۱۶]. این ترازها در نانو نوارگرافنی با لبه‌های آرمچیر وجود ندارند چرا که لبه‌های آرمچیر برخلاف زیگزاگ میدان مغناطیسی قوی القا نمی‌کنند [۱۷]. مقدار ویژه انرژی در ترازهای لبه‌ای صفر است. در نانو نوار گرافن با لبه‌های زیگزاگ، انتقال الکترون‌ها توسط ترازهای لبه‌ای غالب است [۱۸]. شکل (۲-الف) ساختار GNRFET نوع MOS را نشان می‌دهد. از این ساختار انتظار می‌رود که نسبت جریان روشنی به خاموشی در مقایسه با GNRFET از نوع سد شاتکی[4] بالاتر باشد [۲۰ و ۲۱].

[1] Schottky Barrier
[2] Power-Delay Product (PDP)
[3] Tight binding



شکل ۱- نمایی از ساختار لبه نانو نوار گرافنی الف) زیگزاگ ب) آرمچیر [۱۹].

این موضوع نشان‌دهنده این است که در کاربردهای منطقی، GNRFET نوع MOS بهتر از نوع سد شاتکی عمل می-کند. طول کانال GNR ذاتی (L_{ch}) همان طول زیرین گیت (Lg) می‌باشد، به‌عبارت‌دیگر ($L_{ch}=L_g$).

پهنای نانو نوار گرافن از رابطه (۱) به دست می‌آید [۲۲].

$$W_{GNR} = (N+1)\sqrt{3}\,\frac{dcc}{2} \qquad (۱)$$

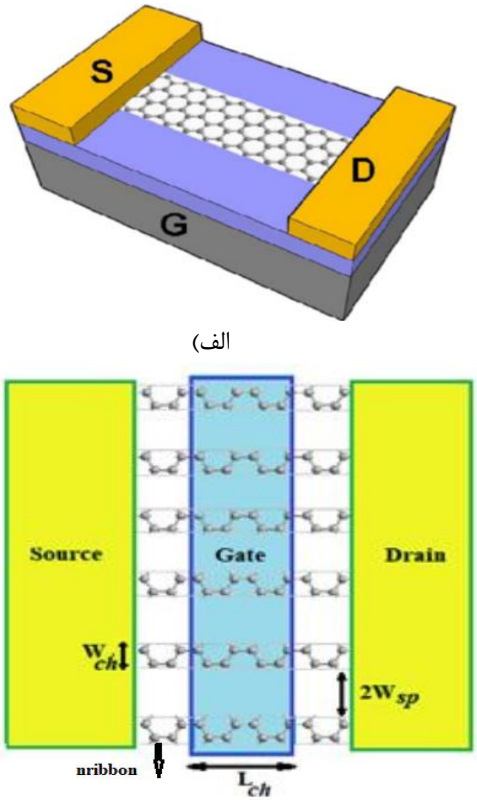
که d_{cc} طول پیوند کربن-کربن و N تعداد خطوط دیمر[۱] می‌باشد (شکل۳).

امروزه نانو نوارهای گرافنی با عرض‌های کمتر از ۱۰ نانومتر و لبه‌های فوق‌العاده صاف، قابل ساخت هستند [۲۳]. لایه عایق از جنس نیترید آلومینیم با دی‌الکتریک k=۹ انتخاب شده است. جنس اکسید زیر گیت HfO_2 می‌باشد. زیر لایه از جنس سیلیسم است.

پهنای گیت WG همانطور که در شکل(۲-ب) نشان داده شده است به صورت زیر محاسبه می‌شود.

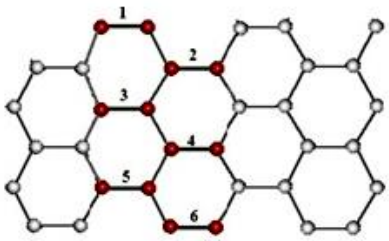
$$WG = (2Wsp + WCH) \times nRib \qquad (۲)$$

که در آن $nRib$ تعداد ریبون ها و $2W\ sp$ فاصله بین ریبون هاست.



شکل ۲- ساختارGNRFET الف) نحوه قرار گرفتن نانو نوارها ب) ساختار کلی GNRFET[۲۱].

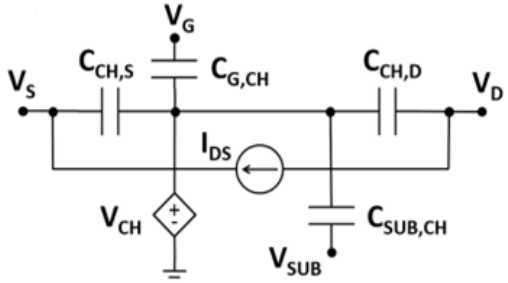
[3] Dimer line



شکل ۳- N تعداد خطوط دیمر که در اینجا برابر ۶ است [۲۱].

۳- مشخصات مدل ترانزیستور نانو نوار گرافن

شکل (۴) مدل مداری ترانزیستور نانو نوار گرافن را نشان می‌دهد. پارامتر I_{DS} جریان عبوری از کانال را مدل می‌کند. خازن‌های $C_{CH,S}$,$C_{CH,D}$,$C_{G,CH}$, $C_{SUB,CH}$ به همراه منبع ولتاژ کنترل شده ولتاژ V_{CH} جریان‌های گذرای را هنگامی که کانال شارژ و دشارژ می‌شود، مدل می کند.



شکل ۴ -مدل مداری ترانزیستور نانو نوار گرافن [۲۲].

برای این کار از مدل HSPICE شناخته شده در [۲۰] استفاده شده‌است. این مدل برای اولین بار، مدل فشرده سازگار با Spice برای نانو نوار گرافن مدل MOS را معرفی کرده است. مدل بار و جریان منطبق بر شبیه‌سازی‌های عددی با TCAD می‌باشند. تغییرات فرآیندهایی نظیر ناصافی لبه و ناخالصی در سورس و درین نیز مدل شده‌اند. این مدل برای تحلیل توان مصرفی و تأخیر مدارات مبتنی بر گرافن مناسب است. در جدول ۱ پارامترهای مدل ترانزیستور نانو نوار گرافن، توصیف و مقادیر پیش فرض آن-ها آورده شده است. پهنای گیت ترانزیستورها با یکدیگر متفاوت است و از روابط ۱و ۲ بدست می‌آید.

۴- منطق پنج ارزشی

به کارگیری منطق چند ارزشی به جای منطق باینری (دو ارزشی) از مزایای بسیاری برخوردار است که از جمله آن‌ها می‌توان به افزایش محتوای اطلاعات، امکان تعریف تعداد توابع بیشتر در سیستم، انتقال و ذخیره فشرده اطلاعات، کاهش پیچیدگی میان ارتباطات، کاهش مساحت تراشه، کاهش تعداد پین‌های مدار، افزایش سرعت محاسبات و کاهش توان مصرفی مدار اشاره کرد.

جدول۱- پارامترهای مدل GNRFET[۲۰].

پارامتر افزاره	توصیف	مقدار پیش فرض
طول	طول فیزیکی کانال	۱۵ نانومتر
ضخامت اکسید۱	ضخامت ماده دی الکتریک گیت بالا	۰/۹۵ نانومتر
Wsp	فاصله میان لبه های دو GNR در یک افزاره	۲ نانومتر
Nrib	تعداد GNR در یک افزاره	۶
P	درصد ناصافی لبه در افزاره	۰
Dop	کسرناخالصی	۰,۰۰۱
ضخامت اکسید۲	ضخامت اکسید بین کانال و بدنه	۲۰ نانومتر

فواید استفاده از منطق چند ارزشی به همراه به‌کارگیری ترانزیستورهای نانو نوار گرافن باعث شده تا در سال‌های اخیر طراحان مدارات دیجیتال تمایل زیادی به طراحی مدارهای چند ارزشی پیدا کنند. به دلیل اهمیت بحث کاهش توان مصرفی در سیستم‌های خاص منظوره و دیجیتال، به ارائه گیت‌های منطقی و مدار جمع‌کننده پنج ارزشی مبتنی بر ترانزیستورهای نانو نوار گرافن برای کاربردهای کم مصرف می‌پردازیم. در صورت به کارگیری منطق پنج ارزشی با استفاده از n رقم ۵ ارزشی می‌توان 5^n داده متمایز را نمایش داد، بنابراین برای نمایش ۱۲۵ کاراکتر الفبای عددی متمایز، فقط به ۳ خط سیم نیاز است ($۵^۳$=۱۲۵). بدین ترتیب، با بهره‌گیری از منطق پنج ارزشی می‌توان تا حد زیادی خطوط ارتباطی مورد نیاز را کاهش داد. با کاهش خطوط ارتباطی، مقاومت کلی مدار نیز کاهش خواهد یافت و در نتیجه، سرعت افزایش و توان مصرفی کاهش می‌یابد. همچنین از تعداد پین‌های مورد نیاز مدار کاسته می‌شود. علاوه بر این، منطق چند ارزشی موجب افزایش چگالی اطلاعات ذخیره شده در واحد حافظ می‌شود. بنابراین در هر سلول حافظه به‌جای دو حالت (۰ یا ۱)، می‌توان پنج حالت (۰یا ۱ یا ۲ یا ۳ یا ۴) ذخیره کرد. بدین معنی که در یک بایت حاوی ۸ بیت، بجای $۲^۸$ حالت می‌توان $۵^۸$ حالت ذخیره کرد. لذا در حافظه، اطلاعات بیشتری را می‌توان ذخیره نمود. با استفاده از منطق چند مقداری، تعداد عملیات لازم برای پیاده‌سازی توابع ریاضی کاهش می‌یابد. برای اثبات این موضوع، تابع r ارزشی F(X)

را با n متغیردر نظر بگیرید، که در آن مجموعه $X=\{x_1,x_2,x_3,\ldots,x_n\}$

$$\forall x_i \in R=\{0,1,2,\ldots,r-1\} \quad (۳)$$

از آنجایی که هر متغیر، r رقم دارد و هر رقم می‌تواند r حالت اختیار کند، تعداد جایگشت‌های یک متغیر r^r می‌شود. تابع F(X) که یک نگاشت به صورت $f:R^n \rightarrow R$ می‌باشد و دارای n متغیر است. بنابراین در یک سیستم r ارزشی با n متغیر، امکان تعریف r^{r^n} تابع متفاوت وجود دارد. بر این اساس، با افزایش مبنا، تعداد توابع سیستم به صورت نمایی افزایش یافته و از تعداد عملیات لازم برای پیاده‌سازی توابع کاسته می‌شود. منطق پنج ارزشی از پنج سطح ولتاژ تشکیل شده‌است که به ترتیب 0، 1/4 V_{DD}، 1/2 V_{DD}، 3/4 V_{DD} و V_{DD} می‌باشند که معادل ۰ و ۱ و ۲ و ۳ و ۴ منطقی هستند. مقادیر درستی گیت معکوس‌کننده پنج ارزشی در جدول ۲ آمده است.

جدول ۲ - جدول درستی گیت معکوس‌کننده پنج ارزشی

نشانه منطقی معادل خروجی	خروجی	نشانه منطقی معادل ورودی	ورودی
۴	V_{DD}	۰	۰
۳	۳/۴ V_{DD}	۱	۱/۴ V_{DD}
۲	۱/۲ V_{DD}	۲	۱/۲ V_{DD}
۱	۱/۴V_{DD}	۳	۳/۴ V_{DD}
۰	۰	۴	V_{DD}

۵- طراحی گیت NAND پنج ارزشی

برای طراحی گیت NAND پنج ارزشی از رابطه ۳ استفاده شد. جدول ۳ مقادیر درستی تابع NAND را به ازای تمام ورودی‌ها نشان می‌دهد. رابطه ۴ ارتباط بین ورودی‌ها و خروجی را نشان می‌دهد.

$$F_{nand} = \overline{\min(A,B)} \quad (۴)$$

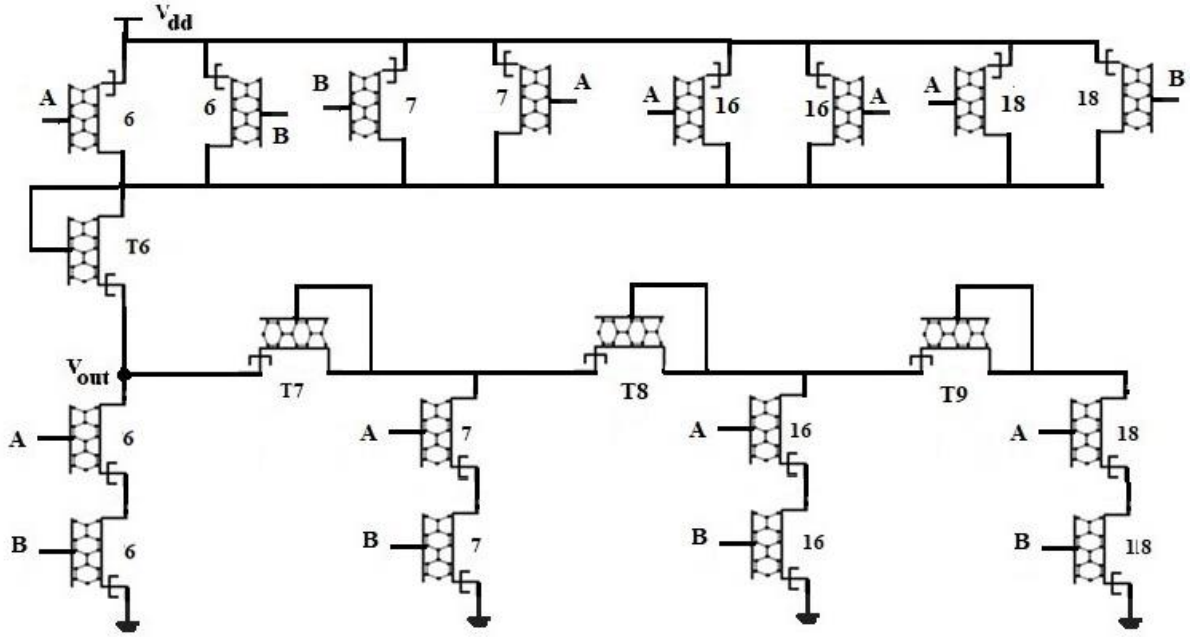
برای بدست آوردن سطوح پنج ارزشی دقیق می‌توان از مقاومت به عنوان مقسم ولتاژ استفاده کرد. اما به دلیل اشغال سطح بزرگی از تراشه در مدارهای مجتمع، در این پژوهش ترانزیستور جایگزین مقاومت می‌گردد.

این ترانزیستورها T6، T7، T8 و T9 هستند. عملکرد مدار به این صورت است که به طور مثال زمانی که ورودی A و B هر دو صفر باشند، تمام ترانزیستورهای NMOS خاموش هستند و خروجی از طریق روشن شدن PMOS، معادل V_{DD} یا همان ۴ منطقی می‌شود. در صورتی که یکی از ورودی‌ها صفر باشد، همین روند انجام می‌شود. وقتی که هر دو ورودی ۴ باشد، ترانزیستورهای NMOS با پهنای ۶ وصل می‌شوند و خروجی صفر می‌گردد. هنگامی‌که یکی از ورودی‌ها ۳ باشد، ترانزیستورهای NMOS با پهنای ۱۸ وصل شده و خروجی یک منطقی می‌شود. به محض آنکه یکی از ورودی‌ها ۲ شود، ترانزیستور با پهنای ۱۶ وصل و خروجی ۲ می‌گردد. در حالتی که یکی از ورودی‌ها ۱ شود ترانزیستور با پهنای ۷ روشن و خروجی ۳ می‌گردد.

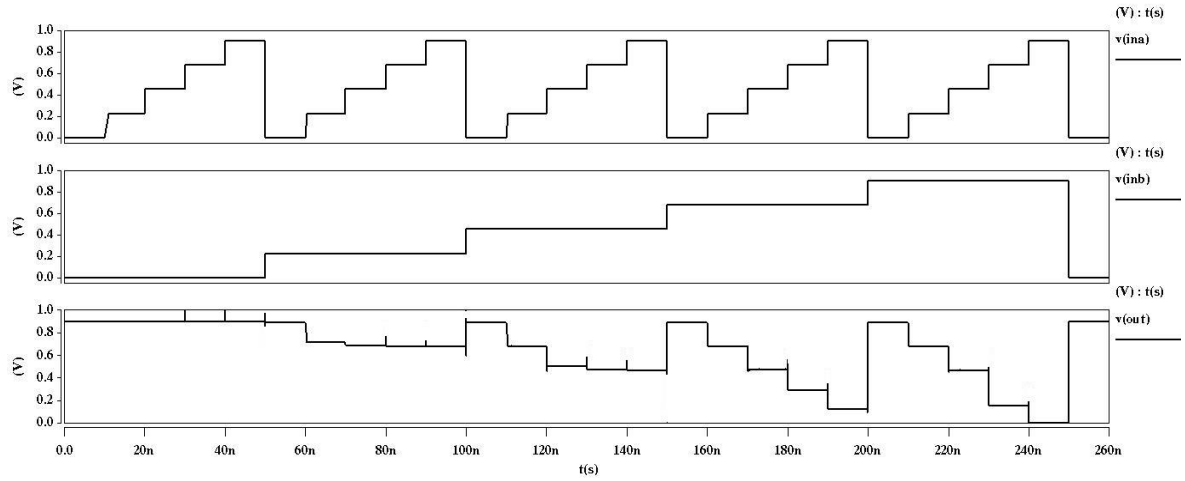
مدار پیشنهادی گیت NAND پنج ارزشی و پاسخ گذرای آن به ترتیب در شکل (۵-الف) و (۵-ب) ترسیم شده‌اند.

جدول۳- جدول درستی تابع NAND و NOR و SUM پنج ارزشی

A	B	F_{NAND}	Fnor	Fsum
۰	۰	۴	۴	۰
۰	۱	۴	۳	۱
۰	۲	۴	۲	۲
۰	۳	۴	۱	۳
۰	۴	۴	۰	۴
۱	۰	۴	۳	۱
۱	۱	۳	۱	۲
۱	۲	۳	۲	۳
۱	۳	۳	۱	۴
۱	۴	۳	۰	۰
۲	۰	۴	۲	۲
۲	۱	۳	۲	۳
۲	۲	۲	۲	۴
۲	۳	۲	۱	۰
۲	۴	۲	۰	۱
۳	۰	۴	۱	۳
۳	۱	۳	۱	۴
۳	۲	۲	۱	۰
۳	۳	۱	۱	۱
۳	۴	۱	۰	۲
۴	۰	۴	۰	۴
۴	۱	۳	۰	۰
۴	۲	۲	۰	۱
۴	۳	۱	۰	۲
۴	۴	۰	۰	۳



الف)



ب)

شکل۵- الف) مدار پیشنهادی NAND پنج ارزشی ب) پاسخ گذرا.

۶-طراحی گیت NOR پنج ارزشی

گیت NOR پنج ارزشی با استفاده از رابطه ۵ تعریف می‌شود.

$$F_{NOR} = \overline{MAX(A.B)} \qquad (۵)$$

جدول ۳ مقادیر درستی تابع NOR را به ازای تمام ورودی-ها نشان می‌دهد. عملکرد گیت NOR عملکرد گیت NAND است. مدار پیشنهادی گیت NOR پنج ارزشی و پاسخ گذرای آن در شکل (۶-الف) و(۶-ب) نشان داده شده است.

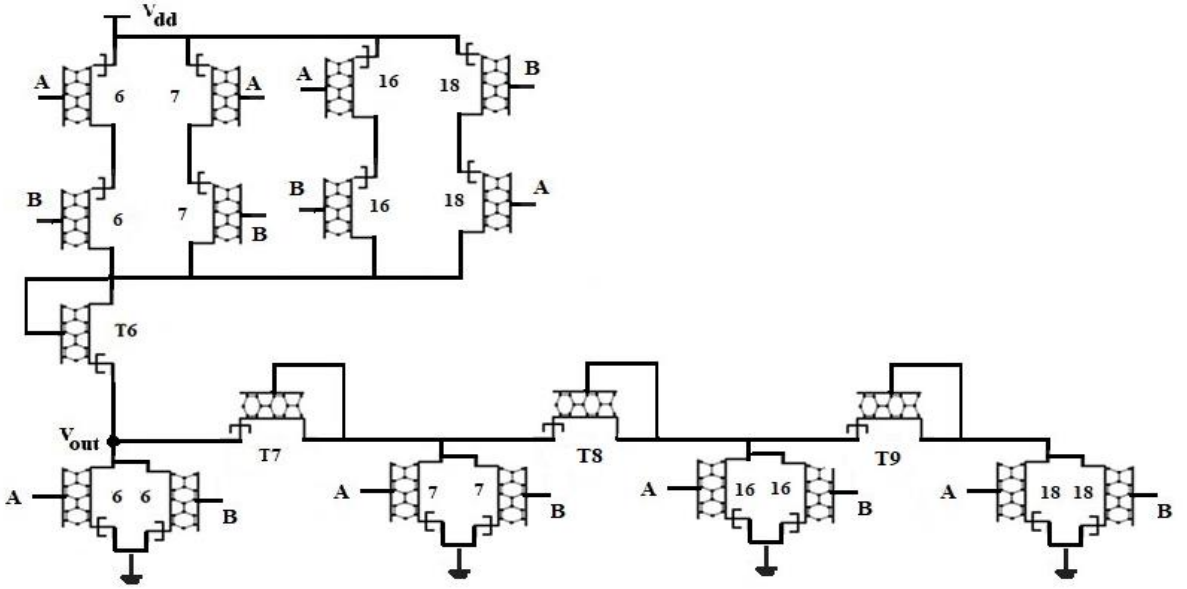
۷-طراحی جمع‌کننده پنج ارزشی

بلوک جمع‌کننده، یکی از بلوک‌های اساسی در مدارهای محاسباتی محسوب می‌شود. امروزه با افزایش استفاده از وسایل الکترونیکی نیاز به جمع‌کننده‌ها نیز افزایش پیدا کرده‌است. بنابراین ارائه ساختارهای جدید برای مدارهای جمع کننده مورد توجه طراحان مدارهای مجتمع قرار گرفته است. در این مقاله برای اولین بار مدار جمع کننده پنج ارزشی مبتنی بر نانو نوار گرافن ارائه شده است. طراحی جمع‌کننده پنج ارزشی بر مبنای منطق گلویس انجام شده است. مطابق با منطق گلویس برای بدست آوردن جمع دو عدد در مبنای پنج، باقیماندهٔ مجموع دوعدد تقسیم بر عدد

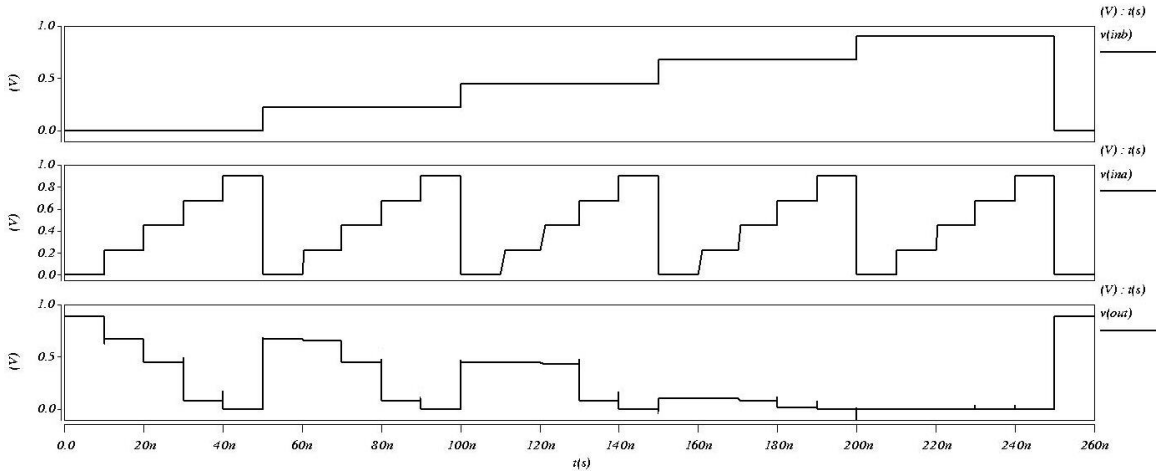
۵ بیان می‌شود. رابطه ۶ تابع جمع کننده مدار پنج ارزشی را نشان می‌دهد.

$$F = (A_i + B_i) mod 5 \qquad (۶)$$

جدول ۳ مقادیر درستی تابع را به ازای تمامی مقادیر ممکن بیان می‌کند. مدار جمع‌کننده پیشنهادی در شکل(۷-الف) نمایش داده شده‌است. در این مدار از ۶۴ ترانزیستور نانو نوار گرافنی نوع MOS استفاده شده‌است. ورودی‌های A و B هر کدام پنج ارزشی هستند و خروجی (Vout) مجموع ورودی‌ها را نشان می‌دهد. نتایج شبیه‌سازی نشان از عملکرد دقیق مدار دارد. پاسخ گذرای مدار جمع‌کننده در شکل (۷-ب) آمده است.



الف)



ب)

شکل۶- الف) مدار پیشنهادی NOR پنج ارزشی ب) پاسخ گذرا.

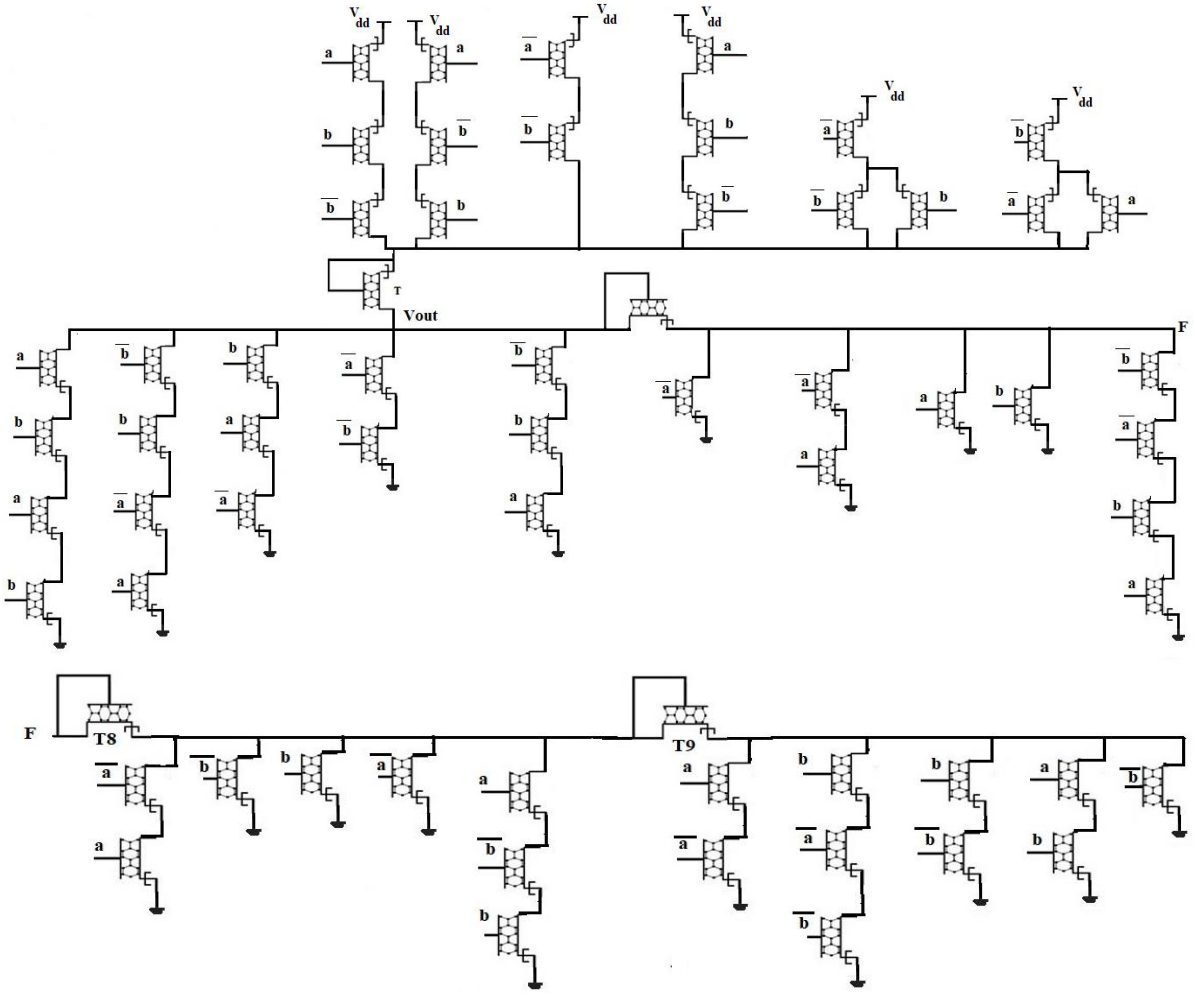
۸-نتایج شبیه‌سازی و مقایسه

به منظور شبیه‌سازی مدار پیشنهادی از نرم افزارHSPICE بر مبنای مدل ارائه شده در[۲۲]، بهره گرفتیم. شبیه‌سازی در شرایط استاندارد با ولتاژ تغذیه ۰/۸ ولت، در دمای اتاق و در فرکانس کاری ۱۰۰ مگا هرتز انجام گرفته است. ضریب شایستگی مدارات دیجیتال با پارامتر حاصل ضرب توان در تأخیر بیان می‌شود. در روش پیشنهادی [۲۶] و [۲۵] از گیت‌های باینری برای طراحی مدارات NAND و NOR پنج ارزشی استفاده شده‌است. این روش منجر به افزایش تعداد ترانزیستورها نسبت به روش پیشنهادی ارائه شده در مقاله حاضر، شده‌است. در روش پیشنهادی [۲۴]، گیت‌های پنج ارزشی با استفاده از سلول GDI طراحی و پیاده‌سازی شده‌است. برای طراحی این مدارات نیاز به ۵ قطر متفاوت از نانو لوله های کربنی در ترانزیستور CNTFET می‌باشد،

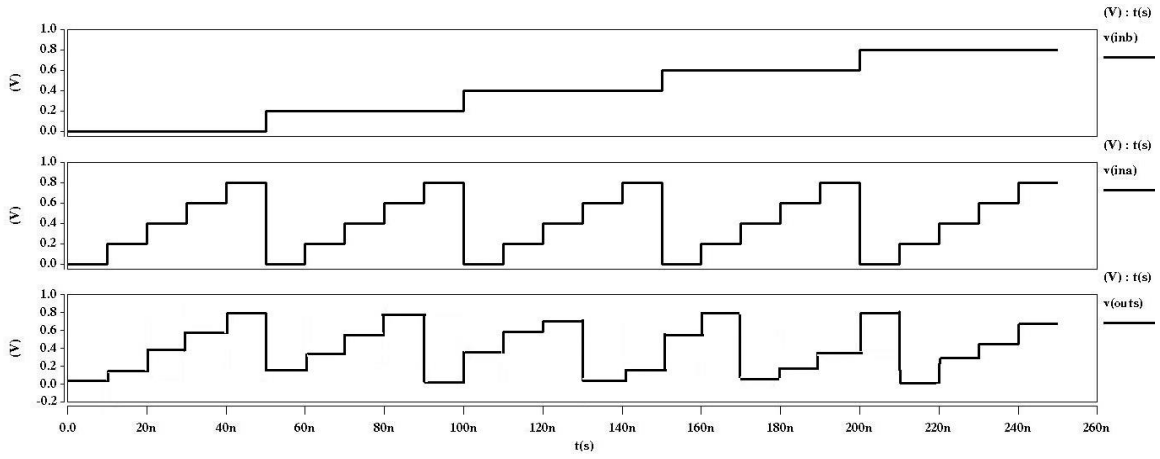
در حالی که در روش پیشنهادی به ۴ پهنای مختلف نانو نوار گرافن نیاز است.

در جدول ۴ مقادیر تأخیر و توان گیت‌های منطقی پنج ارزشی آورده شده‌است. این نتایج با مدارات نانولوله کربنی که گیت های منطقی پنج ارزشی را طراحی و شبیه سازی کردند، مقایسه گردید[۲۴و۲۵و۲۶].

نتایج شبیه سازی نشان می‌دهد که مدارات مبتنی بر نانو نوار گرافن دارای تأخیر، توان و در نهایت حاصل ضرب توان در تأخیر پایین‌تری نسبت به مدارات نانو لوله کربنی هستند.



الف)



ب)

شکل۷- الف) مدار پیشنهادی جمع‌کننده پنج ارزشی ب) پاسخ گذرا

جدول ۴ - مقادیر توان، تأخیر و حاصل ضرب توان و تأخیر مدارات پنج ارزشی

طراحی پنج ارزشی	تأخیر (ثانیه)	توان (وات)	حاصل ضرب تأخیر در توان (ژول)
طراحی گیت NAND پیشنهادی	۵/ ۳۶ (ps)	۲/۶۱µ	۱۴/۶۹(e-۱۸)
طراحی گیت NAND [۲۴].	۴/ ۲۹ (e-۱۱)	۴/۱۷µ	۱/۷ (e-۱۶)
طراحی گیت NAND [۲۵].	۷/ ۰۹ (e-۱۱)	۵/۸۸µ	۴/۱۶۹ (e-۱۶)
طراحی گیت NAND [۲۶].	۷/ ۳۷ (e-۱۱)	۶/۰۲µ	۴/۴۴ (e-۱۶)
طراحی گیت NOR پیشنهادی	۱/ ۵۷۸۶(ps)	۵/۰۷µ	۸/۰۱۲(e-۱۸)
طراحی گیت NOR [۲۴].	۴/ ۲۶ (e-۱۱)	۴/۲۲µ	۱/۸ (e-۱۶)
طراحی گیت NOR [۲۵].	۷/ ۰۲ (e-۱۱)	۶/۱۴µ	۴/۳۱۵ (e-۱۶)
گیت NOR [۲۶].	۷/ ۵ (e-۱۱)	۶/۳۰µ	۴/۷۳ (e-۱۶)
جمع کننده های پیشنهادی	۵/ ۳۶(ps)	۱۷/۸µ	۱۷۹/۳۸(e-۱۸)

۹-نتیجه‌گیری

از نتایج بدست آمده در پژوهش حاضر، می‌توان نتیجه گرفت طراحی مدارهای مبتنی بر نانو نوار گرافن دارای تأخیرکمتری نسبت به مدارات بر اساس نانو لوله کربنی است. بیشتر طرح‌های قبلی ارائه شده توسط محققان بر مبنای نانو لوله کربنی می‌باشد که در مقایسه با طرح پیشنهادی دارای مساحت اشغالی بیشتر و تأخیر بالاتری هستند. طراحی مدارات با استفاده از منطق‌های چند ارزشی موجب انجام عملیات بیشتر در سطح اشغالی کمتر از تراشه می‌شود. در این پژوهش، برای اولین بار با استفاده از نانو نوار گرافن گیت‌های منطقی پنج ارزشی طراحی شده‌اند. نتایج شبیه‌سازی با ابزارHSPICE حاکی از آن است که مدارات پیشنهادی دارای سرعت بالاتر و حاصل ضرب تأخیر در توان کمتری نسبت به مدارات موجود هستند. در ادامه برای طراحی جمع‌کننده پنج ارزشی مبتنی بر نانو نوار گرافن از منطق گلویس استفاده گردید. این شبیه‌سازی در دمای اتاق با ولتاژ تغذیه ۰/۸ولت انجام گرفت. پاسخ گذرای حاصل از شبیه‌سازی این جمع‌کننده بیانگر عملکرد دقیق مدار پیشنهادی مطابق با جدول صحت آن می‌باشد.

بکارگیری نانو نوار گرافن به همراه معماری چند ارزشی، امکان ایجاد ساختارهای نوینی را در الکترونیک دیجیتال فراهم می‌نماید که در آینده می‌توانند جایگزین نویدبخشی برای مدارات امروزی به‌شمار آیند.

مراجع

[1] S. A. Kashani. H. K. Alidash. and H. S. Filabadi, " All-Graphene Nano-Ribbon FET Based Complete FPGA Design", ECS Journal of Solid State Science and Technology, Vol. 9 No. 3, pp.031004, 2020.

[۲] مهناز ذاکری و امید افضل نژاد، "بررسی اثر زاویه کایرال بر کمانش محوری و پیچشی نانولوله های کربنی تک جداره به کمک روش اجزا محدود "، نشریه مدل‌سازی در مهندسی، دوره ۱۵، شماره ۴۸، بهار ۱۳۹۶، صفحه ۷۱- ۶۱.

[۳] احسان زمانی، فاطمه عباسپور و سجاد صیفوری، "مطالعه اثر ضربه نانوذرات بر نانولوله‌های کربنی دو جداره با استفاده از تئوری غیرمحلی الاستیسیته "، نشریه مدل‌سازی در مهندسی، دوره ۱۷، شماره ۵۸، پاییز ۱۳۹۸، صفحه ۳۲- ۳۲.

[4] J. Nilsson. A. C. Neto. F. Guinea. and N. M. R Peres, "Electronic properties of bilayer and multilayer graphene", Physical Review B, Vol. 78, No. 4, pp. 045405, 2008.

[5] K. S. Novoselov. A. K. Geim. S. V. Morozov. D. Jiang, Y. Zhang. S. V. Dubonos. I. V. Grigorieva. and A. A Firsov, "Electric field effect in atomically thin carbon films", science, Vol. 306, No. 5696, pp. 666-669, 2004.

[۶] بهروز عبدی تهنه و علی نادری، "ساختار جدید ترانزیستور اثر میدانی نانو لوله کربنی تونلزنی با دوپینگ خطی در ناحیه درین: شبیه سازی عددی کوانتومی "، نشریه مدل‌سازی در مهندسی، دوره ۱۶، شماره ۵۲، بهار ۱۳۹۷، صفحه ۱۱۷- ۱۰۹.

[7] M. Nayeri, P. Keshavarzian, and M. Nayeri, "High-Speed Ternary Half adder based on GNRFET", Journal of Nanoanalysis, Vol. 6, No. 3, pp.193-198, 2019.

[8] B. Sahu, H. Min, A. H. MacDonald, and S. K. Banerjee, "Energy gaps, magnetism and electric-field effects in bilayer graphene nanoribbons", Vol. 78, pp. 045404, 2008.

[9] H. Sadeghi, M. T. Ahmadi, B. I. Ishak, M. Mousavi, and R. Ismail, "Ballistic conductance model of bilayer graphene nanoribbon(BGN)", Journal of Computational and Theoretical Nanoscience, Vol. 8, pp.1993-1998, 2011.

[10] M. Freitag, "Graphene: nanoelectronics goes flat out".Nature nanotechnology, Vol. 3, No. 8, pp.455, 2008.

[11] M. R. Choudhury, Y. Yoon, J. Guo. and K. Mohanram, "Graphene nanoribbon FETs: Technology exploration for performance and reliability", IEEE transactions on nanotechnology, Vol. 10, No. 4, pp. 727-736, 2010.

[12] Y. Y. Chen, A. Rogachev, A. Sangai, G. Iannaccone, G. Fiori, and D. Chen, "A SPICE-compatible model of graphene nano-ribbon field-effect transistors enabling circuit-level delay and power analysis under process variation", Automation and Test in Europe Conference and Exhibition (DATE), pp. 1789-1794, 2013.

[13] T. O. Wehling, K. S. Novoselov, S. V. Morozov, E. E. Vdovin, M. I. Katsnelson, A. K. Geim, and A. I. Lichtenstein, "Molecular doping of graphene, Nano letters", Vol. 8, No. 1, pp.173-177, 2008.

[14**]** M. Nayeri, P. Keshavarzian, and M. Nayeri, "Approach for MVL design based on armchair graphene nanoribbon field effect transistor and arithmetic circuits design", Microelectronics Journal, Vol. 92, pp.104599, 2019.

[15] K. L. Wong, M. W. Chuan, A. Hamzah, S. Rusli, N. E. Alias, C. S. Lim, and M. L. P Tan, "Carrier statistics of highly doped armchair graphene nanoribbons with edge disorder", Superlattices and Microstructures, Vol. 139, pp. 106404, 2020.

[16] M. Moradinasab, H. Nematian, M. Pourfath, M. Fathipour, and H. Kosina, "Analytical models of approximations for wave functions and energy dispersion in zigzag graphene nanoribbons", Journal of Applied Physics, Vol. 111, No. 7, pp.074318, 2012.

[17] K. Sugawara, T. Sato, S. Souma, T. Takahashi, and H. Suematsu,"Fermi surface and edge-localized states in graphite studied by high-resolution angle-resolved photoemission spectroscopy", Physical Review B, Vol. 73. No. 4, pp. 045124, 2006.

[18] M. Nayeri, P. Keshavarzian, and M. Nayeri, "A Novel Design of Quaternary Inverter Gate Based on GNRFET", International Journal of Nanoscience and Nanotechnology, Vol. 15, No. 3, pp.211-217, 2019.

[19] S. Singh, and I. Kaur," Bandgap engineering in armchair graphene nanoribbon of zigzag-armchair-zigzag based Nano-FET: A DFT investigation", Physica E: Low-dimensional Systems and Nanostructures, Vol. 118, pp.113960, 2020.

[20] M. Gholipour, Y. Y Chen, A. Sangai, and D. Chen, "Highly accurate SPICE-compatible modeling for single- and double-gate GNRFETs with studies on technology scaling", Proceedings of the conference on Design, Automation and Test in Europe, pp. 120, European Design and Automation Association, 2014.

[21] M. R. Choudhury, Y. Yoon, J. Guo, and K. Mohanram, "Graphene nanoribbon FETs: Technology exploration for performance and reliability", IEEE transactions on nanotechnology, Vol. 10, No. 4, pp.727-736, 2010.

[22] Y. Y. Chen, A. Sangai, A. Rogachev, M. Gholipour, G. Iannaccone, G. Fiori, and D. Chen, "A SPICE-compatible model of MOS-type graphene nano-ribbon field-effect transistors enabling gate-and circuit-level delay and power analysis under process variation", IEEE Transactions on Nanotechnology, Vol. 14, No. 6, pp.1068-1082, 2015.

[23] D. Gil-Tomàs, J. Gracia-Morán, L. J, Saiz-Adalid, P. J. Gil-Vicente", Fault Modeling of Graphene Nanoribbon FET Logic Circuits", Electronics, Vol. 8, No. 8, pp.851, 2019.

[24] E. Abiri, A. Darabi, and S. Salem, "Design of multiple-valued logic gates using gate-diffusion input for image processing applications", Computers and Electrical Engineering, Vol. 69, pp. 142-157, 2018.

[25] M. H. Moaiyeri, R. F. Mirzaee, A. Doostaregan, K. Navi, and O. Hashemipour, "A universal method for designing low-power carbon nanotube FET-based multiple-valued logic circuits", IET Computers and Digital Techniques, Vol. 7, No. 4, pp.167–181, 2013.

[26] M. H. Moaiyeri, and K. Navi, "Robust carbon nanotube field effect transistor-based penternary logic circuits", Journal of Computational and Theoretical Nanoscience, Vol. 11, No. 9, pp. 2055–62, 2014.