کاهش مؤلفه ناخواسته مرجع در فرکانس‌سازهای عدد صحیح

سکینه جهانگیرزاده[1,*] ، عاطفه رحیمی‌فر[2]

اطلاعات مقاله

دریافت مقاله: ۱۴۰۲/۰۴/۰۷

پذیرش مقاله:

واژگان کلیدی:

مولد فرکانسی عدد صحیح، مؤلفه‌ناخواسته‌مرجع، اسیلاتور کنترل شده ولتاژ(VCO)

چکیده

فرکانس‌ساز نقش مهمی را در فرستنده وگیرنده‌های RF ایفا می‌کند. غیرایده‌آل بودن مدار تلمبه‌ی بار و آشکارساز فاز- فرکانس مؤلفه‌های ناخواسته‌ای در خروجی فرکانس‌ساز ایجاد می‌کند. در این مقاله یک روش جدید برای کاهش مؤلفه ناخواسته مرجع در فرکانس‌ساز پیشنهاد شده است. سیستم کاهش مؤلفه ناخواسته مرجع بین تلمبه‌ی بار و فیلتر پایین گذر به‌منظور کاهش دامنه ریپل‌های متناوب روی ولتاژ کنترل، اسیلاتور کنترل شده ولتاژ (VCO) قرار گرفته است. توسط کاهش دادن دامنه ریپل‌های متناوب، مؤلفه ناخواسته مرجع تضعیف می‌شود. ساختار پیشنهادی نیاز برای کاهش پهنای‌باند و کاهش گین VCO برای سرکوب مؤلفه ناخواسته مرجع را حذف می‌کند. برای نشان دادن اثرات ساختار پیشنهادی یک مولد فرکانسی GHz ۲/۲۲- ۲/۰۶ و کلاک مرجع ۲۰MHz طراحی شده است و شبیه‌سازی post-layout با استفاده از فناوری ۱۸۰ نانومتر CMOSانجام شده است. سطح مؤلفه ناخواسته مرجع در فاصله 20 MHz مقدارش ۸۵/۸۴dBc- و در فاصله 200 KHz مقدار نویز فاز ۱۰۸dBc/Hz- بدست آمده است و زمان قفل ساختار پیشنهادی حدود $2/3\ \mu s$ بدست آمده است.

۱-مقدمه

مولد فرکانسی نقش مهمی در فرستنده- گیرنده‌های RF ایفا می‌کند. مولد فرکانسی عدد صحیح برای ایجاد یک مجموعه فرکانس‌هایی که مضرب صحیحی از فرکانس مرجع هستند استفاده می‌شود. مولد فرکانسی عدد صحیح شامل آشکارساز فاز- فرکانس (PFD)، تلمبه‌ی بار (CP)، فیلتر پایین گذر (LPF)، نوسان‌ساز کنترل شده ولتاژ (VCO) و یک تقسیم‌کننده فرکانسی در مسیر فیدبک است. یک PFD فاز و فرکانس بین سیگنال مرجع ورودی و سیگنال خروجی تقسیم‌کننده را مقایسه می‌کند سپس یک سیگنال خطا ایجاد می‌کند که CP را برای تغییر دادن بار پمپاژ شده به LPF تریگر می‌کند. LPF یک ولتاژ صاف متناسب با خروجی‌های PFD برای تنظیم فرکانس خروجی فراهم می‌آورد حلقه فرآیند را ادامه می‌دهد تا اینکه اختلاف فاز بین سیگنال مرجع ورودی و سیگنال فیدبک صفر یا ثابت شود که در این حالت مدار قفل شده است. عملکرد یک مولد فرکانسی به‌علت حضور تن‌های جعلی ناخواسته‌ها در طیف خروجی تنزل می‌یابد. در طول

[1]*پست الکترونیک نویسنده مسؤل: Jahangirzadeh.s@karoon.ac.ir

۱. استادیار، دانشکده مهندسی گروه برق، مؤسسه آموزش عالی کارون، اهواز، ایران

۲. استادیار، دانشکده مهندسی گروه برق، مؤسسه آموزش عالی کارون، اهواز، ایران

UNCORRECTED PROOF

حالت قفل شده، ولتاژ کنترل VCO یک مولد فرکانسی ایده‌آل یک خط مستقیم بدون هرگونه ریپلی است. اما در پیاده‌سازی واقعی به علت غیرایده‌آل بودن مدارات PFD، CP از قبیل عدم‌تطابق بین جریان‌های UP و Down، نشست ساعت، نشتی جریان تلمبه‌ی بار، عدم‌تطابق زمانی بین سیگنال‌های خروجی PFD، یک جریان غیر صفر داخل LPF تزریق می‌شود. این جریان، ریپل‌های متناوبی را روی ولتاژ کنترل VCO ایجاد می‌کند که فرکانس آنها معادل با فرکانس مرجع است درنتیجه فرکانس خروجی مدوله شده توسط فرکانس مرجع مؤلفه‌های ناخواسته‌ای را روی طیف خروجی ظاهر می‌کند.

همانطور که در [۱] توصیف شده است دامنه مؤلفه ناخواسته مرجع از یک طرف متناسب با دامنه ریپل‌های روی ولتاژ کنترل VCO و گین VCO (K_{VCO}) است و از طرف دیگر به‌طور معکوس متناسب با فرکانس مرجع است. تاکنون چندین روش برای کاهش اثرات مؤلفه ناخواسته مرجع در مولدهای فرکانسی پیشنهاد شده است. کاهش گین VCO در [۵-۲] ارائه شده است اما کاهش K_{VCO} فرکانس رنج تنظیم را محدود می‌کند. به‌منظور جبران کردن محدودیت رنج تنظیم فرکانسی، روش‌های اضافی از قبیل سوئیچ خازنی [۱] و [۷-۶] یا دو مسیر VCO در [۹-۸] پیشنهاد شده است. اگرچه استفاده از فیلترهای حلقه مرتبه بالاتر، دامنه ریپل‌های متناوب روی ولتاژ کنترل VCO را کاهش می‌دهد [۱۱-۱۰] فیلترهای حلقه مرتبه بالاتر پیچیدگی و پایداری را افزایش می‌دهد. همچنین در [۱۲] استفاده از پهنای‌باند باریک برای کاهش سطح مؤلفه ناخواسته ارائه شده است اما زمان قفل و فضای تراشه را افزایش می‌دهد. در [۱۳] مکانیزم توزیع بار روی ولتاژ کنترل VCO برای شیفت فرکانس مؤلفه ناخواسته مرجع به فرکانس‌های بالاتر بکار برده شده است. بنابراین دامنه مؤلفه ناخواسته مرجع به‌طور موثر توسط تابع انتقال فیلتر حلقه سرکوب می‌شود. در این طرح فرکانس مؤلفه ناخواسته شیفت داده شده توسط استفاده از چند مسیر PFD-CP تاخیر داده شده تحقق می‌یابد.

اما اشکال اصلی این روش، دقت تاخیر زمانی مسیرهای مختلف است. هر عدم‌تطابق در تاخیرها، سرکوب مؤلفه‌های ناخواسته مرجع را محدود می‌کند.

در [۱۴]، فرکانس مؤلفه ناخواسته شیفت داده شده توسط استفاده از حلقه‌های قفل شده فاز کسکد اجرا شده است. در [۱۵] روش نمونه‌برداری موج سینوسی مرجع ورودی با موج مربعی VCO برای کاهش مؤلفه ناخواسته مرجع ارائه شده است. هر دو روش ارائه شده در [۱۵-۱۴] به دلیل نویز تزریق شده توسط المان‌های اضافی نویز فاز را به‌شدت خراب می‌کند. روش‌هایی برای تصادفی کردن مکانیزم توزیع بار در [۱۹-۱۶] استفاده شده است که مؤلفه‌های ناخواسته مرجع را کاهش می‌دهد. روش دیگر برای کاهش مؤلفه ناخواسته مرجع شیفت مؤلفه ناخواسته به فرکانس‌های بالاتر از فرکانس مرجع است[۲۲-۲۰] . در[۲۴-۲۳] از یک نمونه‌بردار بین LPF و VCO استفاده شده است این ولتاژ کنترل در هر دوره مرجع نمونه‌برداری می‌شود که سبب کاهش مؤلفه ناخواسته مرجع می‌گردد بی‌ثباتی حلقه نقطه ضعف اصلی این روش است که به دلیل تاخیر نمونه‌بردار است. در [۲۶] از یک حلقه قفل فاز نمونه‌برداری فرعی و در [۲۷] از میکسر مکمل به عنوان آشکار ساز فاز در فرکانس‌ساز برای کاهش مؤلفه ناخواسته استفاده شده است اما مشکل این روش این است که به یک مدار کالیبراسیون جهت عدم تطابق میکسرها نیاز دارد. به‌منظور کم کردن مصالحه بین مؤلفه ناخواسته کم، پهنای‌باند گسترده و همچنین کاهش بیشتر مؤلفه ناخواسته مرجع، یک روش جدیدی براساس کاهش دادن دامنه ریپل‌های متناوب روی ولتاژ کنترل پیشنهاد شده است، بنابراین سطح مؤلفه ناخواسته مرجع به‌شدت تضعیف می‌شود. مقاله در ادامه به شرح زیر تنظیم می‌شود: دربخش ۲ عملکرد مدار پیشنهادی تشریح می‌گردد.

UNCORRECTED PROOF

در بخش ۳ نتایج شبیه‌سازی ارائه می‌شود و بخش ۴ به نتیجه‌گیری از مقاله می‌پردازد.

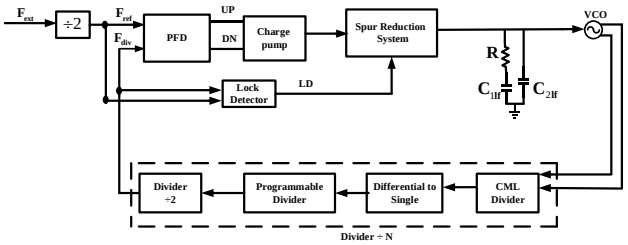
۲- عملکرد مدار پیشنهادی

ساختار مولد فرکانسی عدد صحیح در شکل ۱ نشان داده شده است که شامل یک مولد فرکانسی مرسوم، یک سیستم کاهش مؤلفه ناخواسته و یک آشکارساز قفل است. ایده اصلی این است که با کاهش دادن دامنه ریپل‌های در مدار پیشنهادی، یک آشکارساز قفل برای نشان دادن حالت‌های قفل استفاده شده است. وقتی مدار قفل نشده است سیستم کاهش مؤلفه ناخواسته غیرفعال است و مشابه مولد فرکانسی مرسوم، یک PFD هر اختلاف فاز بین ورودی مرجع و سیگنال خروجی تقسیم‌کننده را تشخیص می‌دهد و سپس یک سیگنال خطا تولید می‌کند. مطابق با این سیگنال خطا، CP مقدار بار پمپاژ شده به فیلتر پایین‌گذر (LPF) را کاهش یا افزایش می‌دهد. این بار ولتاژ کنترل VCO را تنظیم می‌کند. در مولد فرکانسی مرسوم، دامنه ریپل‌های روی ولتاژ کنترل VCO بطور مستقیم توسط طراحی پارامترهای حلقه تحت تاثیر واقع می‌شوند اما در مدار پیشنهادی، وقتی مدار قفل می‌شود سیستم کاهش مؤلفه ناخواسته فعال می‌شود در نتیجه دامنه ریپل‌های متناوب روی ولتاژ کنترل VCO کاهش می‌یابد. بنابراین سطح مؤلفه ناخواسته مرجع بطور عمده کاهش می‌یابد.

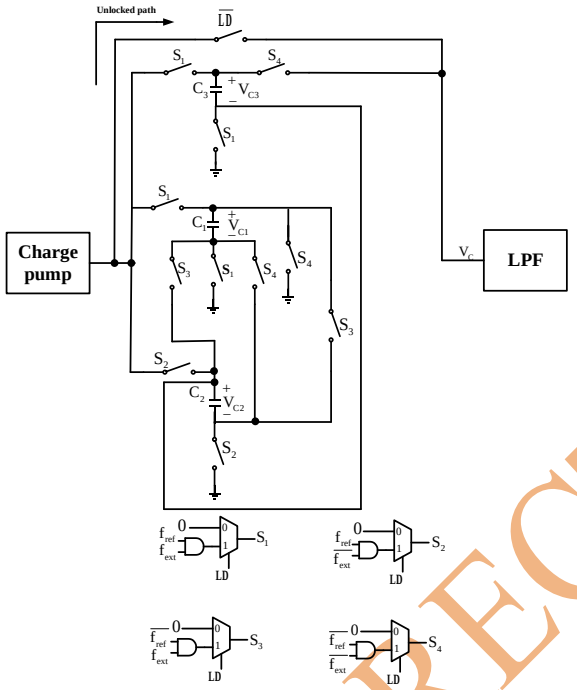
۲-۱- سیستم کاهش مؤلفه ناخواسته پیشنهادی

یک سیستم کاهش مؤلفه ناخواسته بین CP و LPF برای کاهش دامنه ریپل‌های متناوب قرار داده شده است. سیستم کاهش مؤلفه ناخواسته ، شامل سه خازن مساوی C_1، C_2 و C_3 و چندین سوئیچ که توسط پالس‌های S_1، S_2، S_3 و S_4 کنترل می‌شوند که این پالس‌ها همانطور که در شکل ۲ نشان داده شده است توسط سیگنال مرجع ورودی، سیگنال خارجی و چندین مدار منطقی پیاده‌سازی می‌شوند. پالس مرجع ورودی ۲۰ مگاهرتز است که توسط یک مدار تقسیم بر ۲ از یک سیگنال خارجی ۴۰ مگاهرتز بدست آمده است. نمودار زمانی سوئیچ‌ها در شکل ۳ نشان داده شده است.

متناوب روی ولتاژ کنترل مؤلفه ناخواسته مرجع کاهش یابد.



شکل ۱- ساختار مولد فرکانسی پیشنهادی



شکل ۲- سیستم کاهش مؤلفه ناخواسته پیشنهادی

زمانی‌که سوئیچ S_1 روشن می‌شود بار از CP بطور همزمان هر دو خازن مساوی C_1 و C_3 منتقل می‌شود در حالیکه سوئیچ‌های دیگر خاموش هستند بنابراین خازن‌های C_1 و C_3 از LPF جدا می‌باشند درنتیجه بار به آن منتقل نمی‌شود. در این زمان ولتاژ خازن‌های C_1 و C_3 برابر است با:

$$V_{C_1} = V_{C_3} = V_{lock} + V_m \qquad (۱)$$

سپس سوئیچ S_1 خاموش و سوئیچ S_2 روشن می‌شود در این حالت همانطور که در شکل ۳ ارائه شده است بار بدون

UNCORRECTED PROOF

ریپل از تلمبه‌ی بار به خازن C_2 منتقل می‌شود. بنابراین ولتاژ خازن C_2 برابر است با:

$$V_{C_2} = V_{lock} \qquad (۲)$$

وقتی سوئیچ S_3 روشن می‌شود خازن C_2 بصورت موازی با پلاریته معکوس به خازن C_1 متصل می‌شود بنابراین ولتاژ حاصل برابر نصف اختلاف ولتاژ بین خازن‌های C_1 و C_2 است. در این حالت ولتاژ خازن‌های C_1 و C_2 برابر است با:

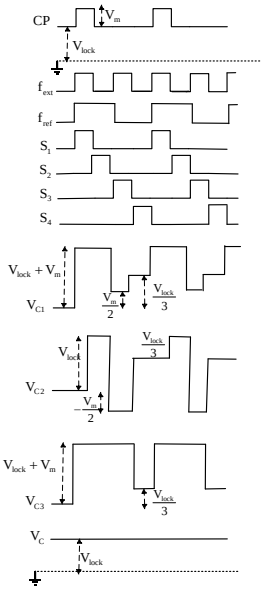
$$V_{C_1} = -V_{C_2} = \frac{q}{2C} = \frac{C_2V_2 - C_1V_1}{2C} = \frac{V_m}{2} \qquad (۳)$$

سپس سوئیچ S_3 خاموش و سوئیچ S_4 روشن می‌شود. در این حالت دو خازن C_1 و C_2 بصورت سری به هم متصل می‌شوند بنابراین اختلاف ولتاژ ایجاد شده در مرحله قبل دو برابر می‌شود و همزمان با ولتاژ ایجاد شده خازن C_3 در فاز S_1 جمع می‌شود. در نتیجه، ریپل روی ولتاژ کنترل VCO حذف می‌شود و مؤلفه ناخواسته مرجع کاهش می‌یابد.

(۴)

$$V_C = V_{C_3} + V_{C_1} + V_{C_2} = V_{lock} + V_m - \frac{V_m}{2} - \frac{V_m}{2} = V_{lock}$$

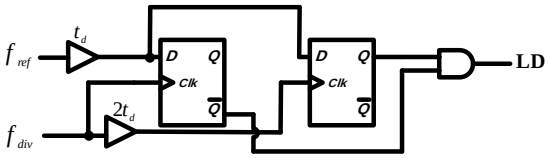
از آنجا که سوئیچ‌ها توسط ترانزیستورهای CMOS پیاده‌سازی می‌شوند آنها به‌دقت در جانمایی طراحی شده‌اند تا تزریق بار، نشست ساعت و اثرات عدم‌تطابق در سوئیچ‌ها و خازن‌ها کاهش یابد.



شکل ۳- نمودار زمانی سوئیچ‌ها و خازن‌ها

۲-۲- آشکارساز قفل

آشکارساز قفل یکی از مدارهای مهم در ساختار فرکانس‌ساز پیشنهاد شده است زیرا زمانی که سیستم کاهش اسپور باید فعال باشد را تعیین می‌کند. بلوک دیاگرام آشکارساز قفل در شکل ۵ نشان داده شده است. آن شامل دو فلیپ‌فلاپ D و یک گیت OR است. وقتی اختلاف فاز بین سیگنال مرجع و سیگنال خروجی تقسیم‌کننده داخل $\pm t_d$ است آشکارساز قفل یک پالس High برای فعال کردن سیستم کاهش اسپور تولید می‌کند در غیر این‌صورت خروجی آشکارساز قفل Low می‌باشد.



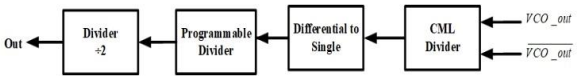
شکل ۴- آشکارساز قفل

۳- مدار تقسیم‌کننده فرکانسی

تقسیم‌کننده در یک حلقه قفل شده فاز مسئول ارائه یک فرکانس خروجی است که کمتر از فرکانس ورودی آن با ضریب N است که در آن N یک ورودی برنامه‌ریزی دیجیتال مربوط به کانال هدف است. شکل ۵ ساختار تقسیم‌کننده N صحیح را نشان می‌دهد. ساختار تقسیم کننده فرکانسی از یک مدار مدار تقسیم‌کننده تقسیم بر ۲ منطق حالت

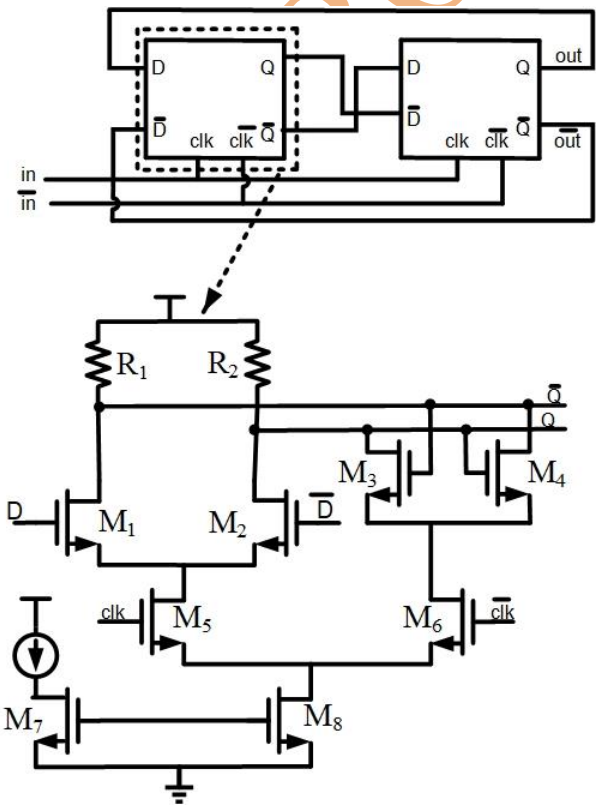
UNCORRECTED PROOF

جریان[1](CML)،یک مدار تبدیل تفاضلی به تک‌سر، تقسیم کننده چند ضریبه قابل برنامه‌ریزی و یک تقسیم‌کننده ساعت‌دهی تکفاز واقعی تشکیل شده است.



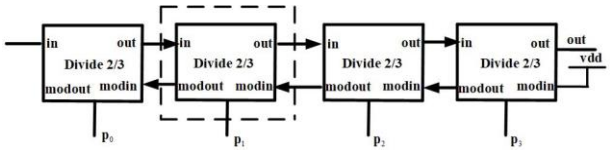
شکل ۵- ساختار تقسیم کننده N صحیح

مدار CML تقسیم بر ۲ در شکل ۶ نشان داده شده است. از آنجایی که خروجی مدار CML تفاضلی است سیگنال‌ها برای فرآیندهای بعدی نیاز است به تک سر تبدیل شوند بنابراین بعد از مدار تقسیم‌کننده CML از یک مدار تبدیل تفاضلی به تک‌سر استفاده شده است.



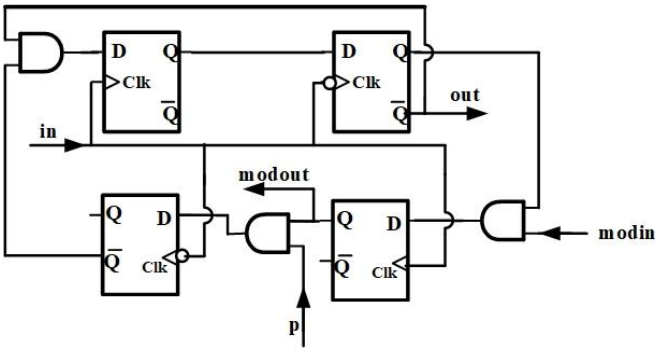
شکل۶ - مدار CML تقسیم بر ۲

در مدار تقسیم‌کننده از یک تقسیم‌کننده فرکانسی قابل برنامه‌ریزی استفاده شده است. به کمک بیت‌های ورودی دیجیتال قابل برنامه‌ریزی ضریب تقسیم فرکانسی متغییر بدست می‌آید. بلوک دیاگرام تقسیم‌کننده فرکانسی قابل برنامه‌ریزی در شکل۷ نشان داده شده است آن از ٤ بلوک تقسیم بر ۲/۳ تشکیل شده است که هر کدام ورودی کنترل ضریب خود را از طبقه بعدی دریافت می‌کنند (به جز طبقه آخر).



شکل ۷- بلوک دیاگرام تقسیم‌کننده فرکانسی قابل برنامه‌ریزی

پیاده‌سازی بلوک تقسیم بر ۲/۳ در شکل ۸ نشان داده شده است. هرگاه modin صفر باشد مدار تقسیم بر۲ و هرگاه modin یک باشد مدار تقسیم بر ۳ را نتیجه می‌دهد.



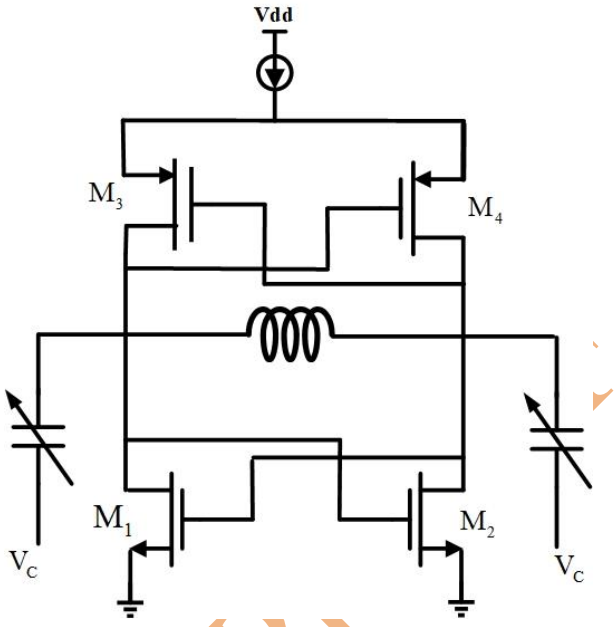
شکل ۸- پیاده‌سازی بلوک تقسیم بر ۲/۳

۴- نوسان‌ساز کنترل شده با ولتاژ

یک نوسان‌ساز کنترل شده با ولتاژ در چندین روش می‌تواند پیاده‌سازی شود. دو نوسان‌ساز که بیشتر استفاده می‌شوند نوسان‌سازهای رینگ و نوسان‌سازهای تانک LC هستند. نوسان‌ساز رینگ توسط چند اینورتر در یک حلقه بسته پیاده‌سازی می‌شود. مشکل نوسان‌سازهای رینگ این است که عملکرد نویز فاز آن‌ها ضعیف است و همچنین توان بالایی را مصرف می‌کنند. در مقایسه نوسان سازهای LC توان کمتری مصرف می‌کنند و همچنین عملکرد نویز فاز را بهبود می‌بخشند. در مدار فرکانس‌ساز پیشنهادی از نوسان‌ساز LC همانطور که در شکل ۹ نشان داده شده استفاده شده است. گین آن ۲۰۰MHz/V و گستره تغییر محدود فرکانسی بین ۲/۲٤ GHz تا ۲/۰٤ GHz است.

[1] Current Mode Logic

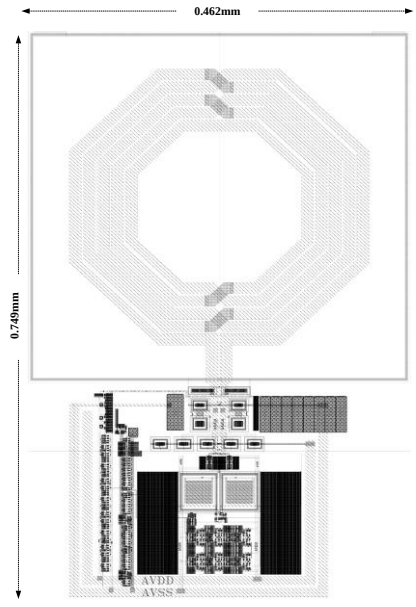
UNCORRECT PROOF



شکل ۹- مدار VCO

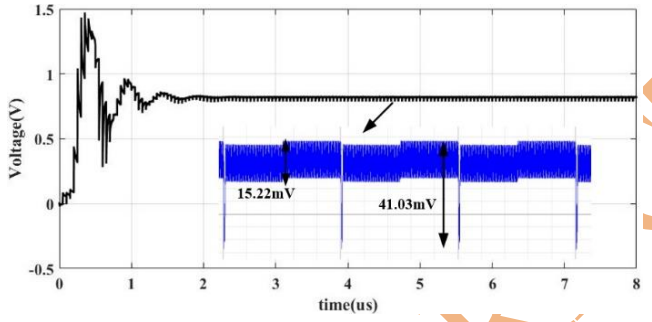
۵- نتایج

برای بررسی ایده ارائه شده، مدار پیشنهاد شده با استفاده از تکنولوژی 180nm CMOS و ولتاژ منبع تغذیه ۱/۸ ولت شبیه سازی شده است. فرکانس مرجع ۲۰MHz است که توسط یک پالس خارجی ۴۰MHz بدست آمده است. گین VCO برابر ۲۰۰MHz/V و نسبت تقسیم‌کننده ۱۰۸ طراحی شده است. شکل ۱۰ طرح جانمایی مولد فرکانسی پیشنهادی را نشان می‌دهد که ۰/۴۶۲mm×۰/۷۴۹ mm از فضای تراشه را اشغال می‌کند.

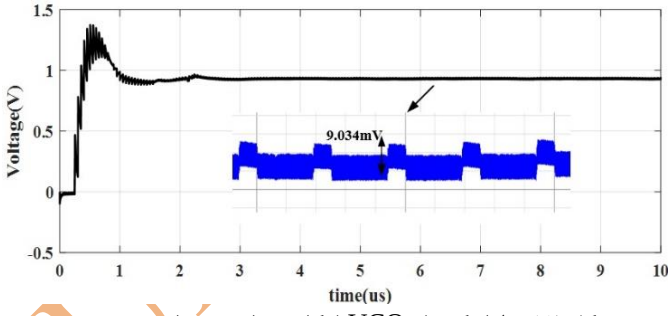


شکل ۱۰- طرح جانمایی مولد فرکانسی پیشنهادی

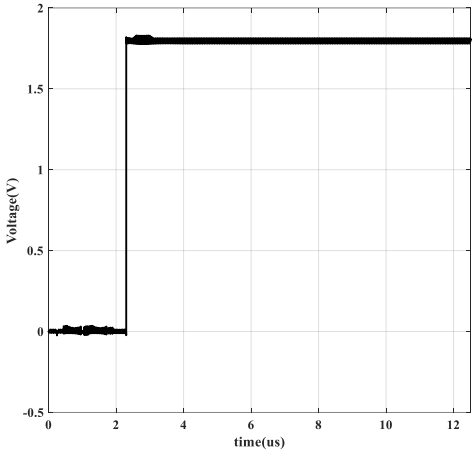
شکل‌های ۱۱ و ۱۲ نتایج شبیه‌سازی ولتاژ کنترل VCOمولد فرکانسی مرسوم و پیشنهاد شده را نشان می‌دهند. دامنه پیک تا پیک ریپل ولتاژ کنترل VCO در فرکانس‌ساز پیشنهادی ۹/۳۴ میلی ولت است که حدود ۳۲ میلی ولت کمتر از فرکانس ساز مرسوم است. خروجی آشکارساز قفل شکل ۱۳ نشان داده است همانطور که در شکل واضح است زمان قفل فرکانس‌ساز حدود حدود µs ۲/۳ است. شکل ۱۴ طیف خروجی فرکانس‌ساز مرسوم را نشان می‌دهد. مؤلفه ناخواسته مرجع که تفاوت بین تن حامل و مؤلفه ناخواسته در فاصله ۲۰MHz است dBc ۳۸/۹- بدست آمده است. اما سطح مؤلفه ناخواسته مرجع فرکانس‌ساز پیشنهاد شده ۸۵/۸۴dBc- بدست آمده است همانطور که در شکل ۱۵نشان داده شده است. بنابراین ساختار پیشنهاد شده سطح مؤلفه ناخواسته مرجع را به اندازه ۴۶/۹۴dB بیشتر از مدار مدار فرکانس‌ساز مرسوم بهبود می‌بخشد.



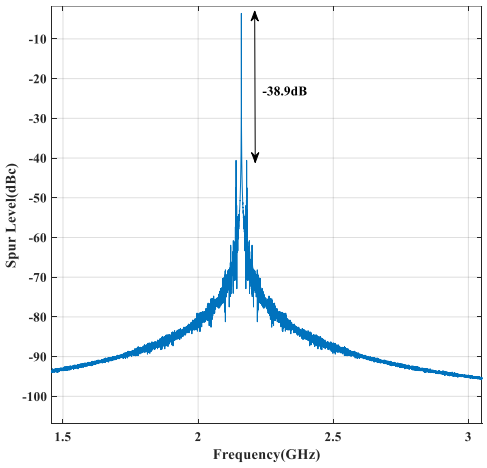
شکل ۱۱- ولتاژ کنترل VCO فرکانس‌ساز مرسوم



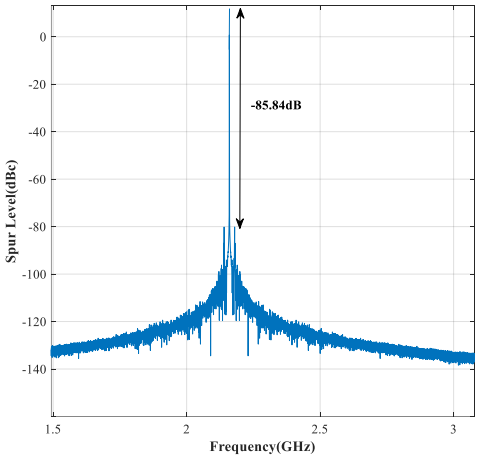
شکل ۱۲- ولتاژ کنترل VCO فرکانس‌ساز پیشنهادی



شکل ۱۳- خروجی آشکارساز قفل

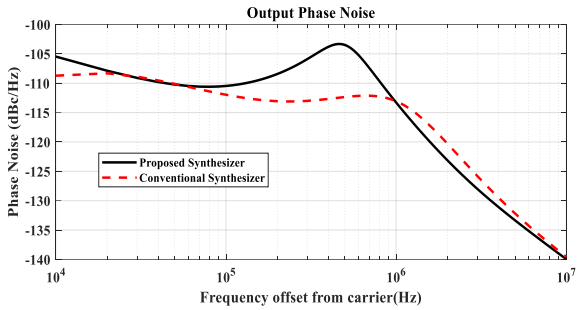


شکل ۱۴- طیف خروجی فرکانس‌ساز مرسوم



شکل ۱۵- طیف خروجی فرکانس‌ساز پیشنهادی

خروجی نویز فاز فرکانس ساز مرسوم و پیشنهاد شده در شکل ۱۶ نشان داده شده است. مقدار نویز فاز در فاصله ۲۰۰ کیلو هرتز برای فرکانس‌ساز مرسوم 112 dBc/Hz- و برای فرکانس ساز پیشنهادی 108 dBc/Hz- بدست آمده است.



شکل ۱۶- نویز فاز فرکانس‌ساز مرسوم و پیشنهادشده

جدول ۱، عملکرد فرکانس‌ساز پیشنهادی را خلاصه می‌کند و آن را با سایر فرکانس‌سازهای مؤلفه ناخواسته کم مقایسه می‌کند. همانطور که در بخش قبلی ذکر شد سطح مؤلفه ناخواسته به گین VCO و فرکانس مرجع وابسته است. بنابراین برای یک مقایسه منصفانه، سطح مؤلفه ناخواسته باید به آن‌ها نرمالیزه شود. به عبارت دیگر، سطح مؤلفه ناخواسته مدار پیشنهاد شده با طرح‌های دیگر با استفاده از معیار شایستگی (FOM) مقایسه می‌شود که توسط [۲۵] تعریف شده است:

(۵)

$$FOM\ (dB) = 20\log(\frac{Bandwidth\,(kHz)}{f_{ref}\ (MHz)}) - spur\,(dBc)$$

۴- نتیجه‌گیری

یک روش برای کاهش مولفه ناخواسته در فرکانس‌ساز سینوسی پیشنهاد شده است که اساس کار بر مبنای کاهش تموج‌های متناوب روی ولتاژ کنترل نوسان‌ساز است. برای نشان دادن اثر بخشی ساختار پیشنهاد شده، یک فرکانس‌ساز ۲/۰۶-۲/۲۲ GHz با استفاده از تکنولوژی ۱۸۰nm و فرکانس مرجع ۲۰ MHz طراحی و شبیه‌سازی شده است. در روش پیشنهادی مؤلفه ناخواسته مرجع ۸۵/۸۴ dBc- بدست آمده است. در مقایسه با کارهای قبلی، ساختار پیشنهاد شده بدون نیاز به فداکردن پهنای باند حلقه یا گین VCO و استفاده از فیلتر حلقه مرتبه بالاتر مؤلفه ناخواسته مرجع را بیشتر کاهش داده است.

UNCORRECTED PROOF

جدول ۱- خلاصه عملکرد و مقایسه با کارهای دیگر

Reference	Technology (nm)	Supply	Output Frequency (GHz)	Reference Frequency (MHz)	Spur (dBc)	FOM	Area(mm^2)	Power (mW)	Bandwidth (kHz)	Phase noise (dBc/Hz)
[2]	250	2.5 v	5.4	10	-70	77.95	0.495	13.5	25	-63@10KHz
[5]	130	1.5 v	5.7-6	32.768	-68	77.69	0.56	12	100	-109@MHz
[16]	180	1.8 v	1.8/3.4	8	-68/-81	91.5	N/A	<18.9	120	<- 109@1MHz
[17]	90	1.2 v	3.6	6	-74	102.8	0.429	1.5	300	-60.5@10kHz
[19]	180	1.8 v	5.18-5.32	20	<-63	85.9	0.49	28.8	280	-102@1MHz
[26]	90	1.2 v	2	125	-49.42	78.61	0.02	8.6743	3600	-80.32@1MHz
[27]	28	N/A	28.8-43.2	1030	-78.5	97.71	0.32	16.2	9400	-109@1MHz
This work	180	1.8 v	2.1	20	-85.84	111.8	0.346	6.48	400	-108@200kHz

مراجع

[1] T.H. Lin, W. J. Kaiser, “A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic SC tuning loop,”IEEE Journal of Solid-State Circuits, vol. 36, no. 3, pp.424-431,2001.

[2]S. Pellerano, S. Levantino, C. Samori, A. L. Lacaita, “A 13.5-mW 5-GHz frequency synthesizer with dynamic-Logic frequency divider”, IEEE Journal of Solid-State Circuits, vol. 39, no. 2, pp. 378–383, 2004.

[3] F. Herzel, G. Fischer, H. Gustat, “An integrated CMOS RF synthesizer for 802.11a wireless LAN”, IEEE Journal of Solid-State Circuits, vol. 38, no. 10, pp. 1767–1770,2003.

[4] X. Gao, E. Klumperink, G. Socci, M. Bohsali, B. loops exploiting a sub-sampling phase detector”, IEEE Journal of Solid-State Circuits, vol. 45, no. 9, pp. 1809–1821,2010.

[5]X. Li, J. Zhang, Y. Zhang, W. Wang, H. Liu, C. Lu“ ,A 5.7–6.0 GHz CMOS PLL with low phase noise and 68- dBc reference spur”, International Journal of Electronics and Communications, vol. 85, pp. 23–31,2018.

[6]A. Kraal, F. Behbahani, A. A. Abidi, “RF-CMOS oscillators with switched tuning”, Proceedings of the IEEE 1998 Custom Integrated Circuits Conference, May 1998, Santa Clara, CA, USA, USA, pp. 555–558.

[7]D. Mandal, P. Mandal, T. K. Bhattacharyya, “Spur reducing architecture of frequency synthesizer using switched capacitors”, IET Circuits Devices Systems, vol. 8, no. 4, pp. 237–245, 2014.

[8] S. Bruss, R. Spencer, “A 5-GHz CMOS type-II PLL with low K_{VCO} and extended fine-tuning range”, IEEE Transactions on Microw, vol. 57, no. 8, pp. 1978–1988, 2009.

[9] C.Y. Kuo, J.Y. Chang, S. I. Liu, “A spur-reduction technique for a 5-GHz frequency synthesizer”, IEEE Transactions on circuits and systems, vol. 53, no. 3, pp. 526–533, 2006.

UNCORRECTED PROOF

[10] C. M. Hung, K. O. Kenneth, “A fully integrated 1.5- V 5.5-GHz CMOS phase-locked loop”, IEEE Journal of Solid-State Circuits, vol. 37, no. 4, pp. 521–525, 2002.

[11] Z. Bereber, S. Kameche, E.Benlchelifa, “High tolerance of charge pump leakage current in Integer-N PLL frequency synthesizer for 5G networks”, Simulation Modelling Practice and Theory, vol. 95, pp. 134-147, 2019.

[12] W. B. Wilson, U. Moon, K. R. Lakshmikumar, L.Dai, “A CMOS self-calibrating frequency synthesizer”, IEEE Journal of Solid-State Circuits, vol. 35, no. 10, pp.1437–1444, 2000.

[13] T. C. Lee, W. L. Lee, “A spur suppression technique for phase-locked Frequency synthesizers”, IEEE International Solid-State Circuits Conference (ISSCC), Feb 2006, Kuala Lumpur, Malaysia, pp. 2432-2433.

[14] H. Gan Ko, W. Bae, G. Jeong, D.kyoon, “Reference Spur Reduction Techniques for a Phase-Locked Loop,” IEEE Access, vol. 7, pp. 38035–38043, 2019.

[15] J. Sharma, H. Krishnaswamy, “A 2.4-GHz Reference-Sampling Phase-Locked Loop That Simultaneously Achieves Low-Noise and Low-Spur Performance”, IEEE Journal of Solid-State Circuits, vol. 45, no. 5, pp. 1407–1424, 2019.

[16] C. Thambidurai, N. Krishnapura, “On pulse position modulation and its application to PLLs for spur reduction”, IEEE Transactions on Circuits and Systems, vol. 58, no. 7, pp. 1483–1496, 2011.

[17] J. Choi, W. Kim, K. Lim, “A spur suppression technique using an edge interpolator for a charge-pump PLL”, IEEE Transactions on Circuits and Systems, vol. 20, no. 5, pp. 969–973, 2012.

[18] J. F. Huang, J. L. Yang, R.Y. Liu, “The 1-V 2.4 GHz low-spur Fractional-N frequency synthesizer chip design with exploiting randomly selected PFD and subsampling charge pump”, Microwave and Optical Technology Letters, vol. 57, no. 1, pp. 61-66, 2015.

[19] T.W. Liao, C. M. Chen, J. R. Su, C. C. Hung, “Random Pulse Width Matching Frequency Synthesizer with Sub-Sampling Charge Pump”, IEEE Transactions on Circuits and Systems, vol. 59, no. 12, pp. 2815– 2824, 2012.

[20] C. F. Liang, H. H. Chen, S. I. Liu, “Spur-suppression techniques for frequency synthesizers”, IEEE Transactions on Circuits and Systems, vol. 54, no. 8, pp. 653–657, 2007.

[21] M. Elsayed, A. Latif, E. Sinencio, “A Spur-Frequency-Boosting PLL with a -74 dBc Reference-Spur Suppression in 90 nm Digital CMOS”, IEEE Journal of Solid-State Circuits, vol. 48, no. 9, pp. 2104-2117, 2013.

[22] S. Jahangirzadeh, A. Amirabadi, A. Farrokhi, “Low spur frequency synthesizer using randomly shifted reference spur to higher frequencies,” International Journal of Electronics, 107 (12), 2044-2067, 2020.

[23] N. Xi, F. Lin, T. Ye, “A Low-Spur and Intrinsically Aligned IL-PLL with Self-Feedback Injection Locked RO and Pseudo-Random Injection Locked Technique”, IEEE Transactions on Circuits and Systems, pp.1-10, 2020.

[24] D. Biswas, G. S. Javed, K. S. Reddy, “5-GHz Integer-N PLL with spur reduction sampler”, IEEE Electronics Letters, vol. 55, no. 23, pp. 1217–1220, 2019.

[25] Y.W. Chen, Y.H. Yu, Y. J. Emery Chen, “A 0.18-μm CMOS dual-band frequency synthesizer with spur reduction calibration”, IEEE Microwave and Wireless Components Letters, vol. 23, no. 10, pp. 551–553, 2013.

[26] S. Jen Cheng, Y. Rong Qiu, C. Hung Hong, “A 0.02mm^2 Sub-Sampling PLL with Spur Reduction Technique in 90nm CMOS Technology”, 2023 International VLSI Symposium on Technology, 31 May 2023.

[27] Y. Liang, C. Chye Boon, C. Li, Q. Chen, “A 28.8-to-43.2 GHz 79.8 fsrms Jitter and −78.5 dBc Reference Spur PLL Exploiting Complementary Mixing Phase Detector With Mismatch Calibration”, IEEE Transactions on Microwave Theory and Techniques, vol. 72, no. 5, pp. 2716–2733, 2024.

UNCORRECTED PROOF

Reduction of reference spur in the Integer-N frequency synthesizers

Sakineh Jahangirzadeh [1, *], Atefeh Rahimifar[2]

1. Assistant Professor of Department of Electrical Engineering, Karoon Higher Education Institute, Ahvaz, Iran,
2. Assistant Professor of Department of Electrical Engineering, Karoon Higher Education Institute, Ahvaz, Iran, Atefeh.rahimifar@yahoo.com

***Corresponding Author:** Jahangirzadeh.s@karoon.ac.ir

ARTICLE INFO

ABSTRACT The frequency generator plays an important role in RF transmitters and receivers. The non-ideality of the circuit of the charge pump and the phase-frequency detector creates spurious tones in the Frequency synthesizer output. In this paper, a new technique is proposed to reduce the reference spur in frequency synthesizer. A spur reduction system is inserted between the charge pump and the low pass filter to reduce the amplitude of periodic ripples on the VCO control voltage. By lowering the amplitude of the periodic ripple on the VCO control voltage, we managed to lower the reference spur. The introduced technique removes the necessity to decrease bandwidth and VCO gain reference spur suppressing. To demonstrate the effectiveness of the proposed structure, a 2.06 – 2.22 GHz frequency synthesizer was used and the 180-nm CMOS technology was used for post-layout simulation. The proposed frequency synthesizer represents the reference spur of -85.84 dBc at 20 MHz offset and phase noise of -108dBc/Hz at 200 kHz offset frequency also it is locked after 2.3us.

Keywords:

Integer-N frequency synthesize, Reference spur, Voltage controlled oscillator (VCO)

UNCORRECTED PROOF