Semnan University

Journal of Modeling in Engineering

Journal homepage: https://modelling.semnan.ac.ir/

ISSN: 2783-2538

Research Article

Design and Implementation of an Improved Thirteen Level Switched Capacitor Inverter with Less Components

Masumeh Derakhshandeh [a], Majid Hosseinpour [a,*], Mahdi Shahparasti [b]

[a] *Department of Electrical Engineering, Faculty of Engineering, University of Mohaghegh Ardabili, Ardabil, Iran*
[b] *School of Technology and Innovations, University of Vaasa, 65200 Vaasa, Finland*

PAPER INFO

Paper history:

Received: 2023-12-01
Revised: 2024-09-12
Accepted: 2024-12-01

Keywords:

Multilevel inverter;
Switched-capacitor;
Self-balancing voltage;
Voltage stress of devices.

ABSTRACT

In this paper, a 13-level switched-capacitor inverter with a voltage gain of 3 is proposed. The proposed structure generates a 13-level output using only one DC source, 11 switches, and 3 capacitors. The capacitors in the proposed structure, without the use of additional circuits or complex control methods, have the capability of self-balancing voltage. Additionally, the inrush current of the capacitors has been reduced using a soft charging method. The proposed structure has been compared with different 13-level structures presented in recent studies in terms of various parameters such as the number of semiconductor devices, the number of DC sources, voltage gain, Maximum Blocking Voltage (MBV), and Total Switching Voltage (TSV). Another advantage of the proposed structure is the non-use of a diode and its cost-effectiveness. In addition, the power losses of the proposed structure have been evaluated, and its efficiency has been calculated for various output powers. Finally, the performance of the proposed structure has been verified through simulation and laboratory implementation under both stable and various dynamic conditions.

DOI: https://doi.org/10.22075/jme.2024.32510.2573

© 2025 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

*** Corresponding author.**
E-mail address: hoseinpour.majid@uma.ac.ir

How to cite this article:
Derakhshandeh, M. , Hosseinpour, M. and Shahparasti, M. (2025). Design and Implementation of an Improved 13-level Switched capacitor Inverter with Less Components. Journal of Modeling in Engineering, 23(Special Issue 81), 285-301. doi: 10.22075/jme.2024.32510.2573

مقاله پژوهشی

طراحی و پیاده‌سازی اینورتر ۱۳ سطحی کلیدزنی خازنی بهبودیافته با تعداد ادوات کمتر

معصومه درخشنده[۱]، مجید حسین‌پور[۱،*]، مهدی شاهپرستی[۲]

اطلاعات مقاله

دریافت مقاله: ۱۴۰۲/۰۹/۱۰
بازنگری مقاله: ۱۴۰۳/۰۶/۲۲
پذیرش مقاله: ۱۴۰۳/۰۹/۱۱

واژگان کلیدی:
اینورتر چندسطحی،
کلیدزنی خازنی،
تعادل خودکار ولتاژ،
تنش ولتاژ ادوات.

چکیده

در این مقاله یک اینورتر ۱۳ سطحی کلیدزنی خازنی با بهره ولتاژ ۳ پیشنهاد شده است. ساختار پیشنهادی، خروجی ۱۳ سطحی را تنها با استفاده از یک منبعdc ، ۱۱ سوئیچ و ۳ خازن تولید می‌کند. خازن‌های ساختار پیشنهادی بدون استفاده از مدارات اضافی یا روش کنترلی پیچیده دارای قابلیت تعادل خودکار ولتاژ می‌باشند. همچنین جریان هجومی خازن‌ها با استفاده از یک روش شارژ نرم کاهش یافته است. ساختار پیشنهادی با ساختارهای متفاوت ۱۳ سطحی ارائه شده در تحقیقات اخیر از حیث پارامترهای مختلف مانند تعداد ادوات نیمه‌رسانا، تعداد منابعdc ، بهره ولتاژ، حداکثر ولتاژ مسدودکنندگی (MBV) و ولتاژ مسدودکنندگی کل (TSV) مقایسه شده است. با بررسی نتایج این مقایسه قابل بیان است که ساختار پیشنهادی نسبت به دیگر ساختارها به طرز قابل توجهی از تعداد ادوات نیمه رسانای کمتر با TSV و بهره ولتاژ مناسب بهره می‌برد. از مزایای دیگر ساختار پیشنهادی نیز می‌توان به عدم استفاده از دیود و همچنین مقرون به صرفه بودن آن اشاره کرد. علاوه بر این تلفات توان ساختار پیشنهادی ارزیابی شده و راندمان آن برای توان‌های خروجی مختلف محاسبه شده است. در نهایت، کارایی ساختار پیشنهادی توسط شبیه‌سازی و پیاده‌سازی آزمایشگاهی آن تحت شرایط پایدار و همچنین شرایط دینامیکی مختلف تایید شده است.

DOI: https://doi.org/10.22075/jme.2024.32510.2573

© 2025 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

۱- مقدمه

اینورترهای چندسطحی (MLIs) به عنوان یکی از محبوب‌ترین ساختارها برای تبدیل ولتاژ DC به AC در کاربردهای متعددی شامل انتقال توان منابع تولید پراکنده، تجهیزات حمل و نقل الکتریکی (EV)، درایو صنعتی و جبران‌ساز توان راکتیو مورد استفاده قرار می‌گیرند [۱]-[۳]. از مزایای اینورترهای چندسطحی می‌توان به عملکرد هارمونیکی بهتر، راندمان بیشتر و تنش ولتاژ کمتر روی سوئیچ‌ها اشاره کرد. اینورترهای چندسطحی مرسوم عمدتا به صورت توپولوژی خازن شناور (FC)، توپولوژی نقطه خنثی مهار شده دیودی (NPC) و توپولوژی پل H آبشاری (CHB) طبقه‌بندی می‌شوند [۴] و [۵]. در این ساختارها، برای افزایش تعداد سطوح ولتاژ خروجی به منظور کاهش محتوای هارمونیکی کل، افزایش قابل توجهی در تعداد ادوات نیمه‌رسانا و همچنین تعداد منابع ولتاژ DC مشاهده می‌شود که این امر منجر به افزایش پیچیدگی مبدل‌ها و در نتیجه افزایش هزینه‌ی ساخت می‌شود [۶].

برای غلبه بر معایب ساختارهای مرسوم، اینورترهای چندسطحی کلیدزنی خازنی (SC-MLIs) ارائه شده‌اند. استفاده از این اینورترها می‌تواند تعداد سطوح ولتاژ بالاتری

* پست الکترونیک نویسنده مسئول: hoseinpour.majid@uma.ac.ir
۱. گروه مهندسی برق، دانشکده فنی و مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران
۲. دانشکده فناوری و نوآوری، دانشگاه واسا، واسا، فنلاند

استناد به این مقاله:
درخشنده, معصومه , حسین پور, مجید و شاهپرستی, مهدی . (۱۴۰۴). طراحی و پیاده‌سازی اینورتر ۱۳ سطحی کلیدزنی خازنی بهبودیافته با تعداد ادوات کمتر. مدل سازی در مهندسی, ۲۳(شماره ویژه ۸۱), ۲۸۵-۳۰۱. doi: 10.22075/jme.2024.32510.2573

را بدون نیاز به افزایش تعداد منابع DC فراهم کند [۷]. این ویژگی مهم کیفیت ولتاژ خروجی را بهبود می‌بخشد و به طور همزمان مبدل را تا حد امکان فشرده و ارزان نگه می‌دارد. عملکرد بدون سلف/بدون ترانسفورماتور با ویژگی تقویت ولتاژ از ویژگی‌های اینورترهای چندسطحی کلیدزنی خازنی می‌باشد. خازن‌های موجود در غالب این ساختارها قابلیت تعادل ولتاژ ذاتی دارند. در نتیجه نیازی به استفاده از مدارهای اضافی یا روش‌های کنترلی پیچیده برای تعادل ولتاژ خازن‌ها وجود ندارد [۸] و [۹]. از عمده دلایل تمایل محققان به اینورترهای چندسطحی کلیدزنی خازنی می‌توان به مواردی مانند ۱) تولید حداکثر تعداد سطوح ولتاژ خروجی با کاهش تعداد ادوات نیمه‌رسانای مورد نیاز و ۲) افزایش بهره ولتاژ خروجی با استفاده از یک یا چند منبع DC اشاره نمود [۱۰]. در مقابل محدودیت اینورترهای چندسطحی کلیدزنی خازنی، جریان هجومی زیاد در مرحله شارژ خازن‌ها می‌باشد. این ایراد می‌تواند منجر به خرابی خازن‌ها و ادوات نیمه‌هادی و در نتیجه کاهش قابلیت اطمینان اینورترهای چندسطحی کلیدزنی خازنی شود [۱۱].

ساختارهای متعددی برای اینورترهای چندسطحی کلیدزنی خازنی تاکنون ارائه شده است که هر کدام مزایا و معایب مربوط به خود را دارد. در مرجع [۱۲] توپولوژی ۱۳ سطحی کلیدزنی خازنی با قابلیت تعادل خودکار ولتاژ خازن‌ها ارائه شده است که تنش ولتاژ روی سوئیچ‌ها را کاهش می‌دهد. با این حال این ساختار برای ایجاد ضریب افزایندگی ولتاژ ۳ برابری نیازمند تعداد ادوات کلیدزنی زیادی می‌باشد. توپولوژی مرجع [۱۳] ساختاری ارائه می‌دهد که قابلیت تولید سطوح ولتاژ ۹ و ۱۳ سطحی را دارا می‌باشد. برای تولید این دو سطح، نیازی به تغییر اتصال سوئیچ‌ها، دیودها و خازن‌ها نبوده و صرفا با تغییر استراتژی کلیدزنی این امر محقق می‌شود. این ویژگی ساختار اینورتر چندسطحی کلیدزنی خازنی موردنظر را برای استفاده در کاربردهایی مانند سیستم فتوولتائیک، پیل سوختی و کاربرد در درایوهای صنعتی مناسب می‌سازد. در مقابل میزان تنش ولتاژ کل سوئیچ‌ها در این ساختار مقدار قابل توجهی است. توپولوژی چندسطحی کلیدزنی خازنی ارائه شده در [۱۴] برای کاربردهایی مانند سیستم‌های آبیاری، کاربردهای UPS و کاربردهای درایو موتور مناسب است. با این حال این ساختار با استفاده از ۱۶ سوئیچ قدرت و دو منبع dc، ولتاژ خروجی ۱۳ سطحی تولید می‌کند که حجم و هزینه ساختار را افزایش می‌دهد. توپولوژی ارائه شده در مرجع [۱۵] اینورتر ۱۳ سطحی کلیدزنی خازنی با بهره ولتاژ ۶ ارائه می‌دهد. این اینورتر برای کاربردهای توان بالا مناسب است و برای تولید سطوح منفی ولتاژ نیازی به پل H ندارد. با این حال میزان تنش ولتاژ کل سوئیچ‌ها در این ساختار مقدار قابل توجهی است.

در ساختارهای ارائه شده مذکور در مراجع [۱۲]-[۱۵] برای محدودسازی جریان هجومی راهکاری ارائه نشده است. این ایراد منجر به کاهش قابلیت اطمینان، افزایش ظرفیت نامی سوئیچ‌ها و افزایش هزینه اینورتر ارائه شده می‌شود. بنابراین چالش اینورترهای چندسطحی کلیدزنی خازنی کاهش/کنترل تنش جریان/تلفات سوئیچ‌ها با استفاده از روش‌های مختلف می‌باشد. استفاده از روش‌های مبتنی بر شارژ نرم یا مدولاسیون پهنای پالس (PWM) هیبریدی از روش‌هایی برای محدودسازی این جریان هجومی در مرحله شارژ خازن‌ها می‌باشد. به طور مثال ساختارهای ارائه شده در مراجع [۱۱]، [۱۶] و [۱۷] دارای روش‌هایی برای محدودسازی جریان هجومی زیاد می‌باشند. در ساختار ارائه شده در مرجع [۱۱]، جریان‌های هجومی خازن با استفاده از یک سلف شارژ یا یک مبدل بوست در طبقه ورودی اینورتر کاهش می‌یابد. ساختار ارائه شده به دلیل ویژگی‌های تقویت ولتاژ، حداقل تعداد سوئیچ و منبع dc واحد برای کاربرد در سیستم‌های انرژی تجدیدپذیر مناسب می‌باشد. در مقابل ساختار ارائه شده نیازمند پل H برای تولید سطوح منفی می‌باشد. در مرجع [۱۶] یک اینورتر کلیدزنی خازنی ۶ سطحی تک‌فاز و همچنین نوع سه‌فاز آن ارائه شده است. هر دو پیکربندی تک‌فاز و سه‌فاز از منبع ولتاژ DC واحد بهره می‌برند که قابلیت تعادل خودکار ولتاژهای خازن از ویژگی‌های جالب آن‌هاست. علاوه بر این، جریان نشتی که یکی از موارد مهم در کاربردهای PV است، به طور موثری با استفاده از یک سلف سری با منبع ورودی در اینورتر ارائه شده تضعیف می‌شود. با این حال، این ساختار قادر به تولید سطح ولتاژ صفر نمی‌باشد. در مرجع [۱۷] دو ساختار اینورتر ۱۳ سطحی کلیدزنی خازنی بهبودیافته نسبت به مرجع [۱۸] ارائه شده است. مزیت اصلی این دو ساختار بهبودیافته استفاده از یک خازن ولتاژ بالای کمتر نسبت به ساختار [۱۸] می‌باشد. در این دو ساختار جریان هجومی خازن‌ها با استفاده از روش مدولاسیون پهنای پالس (PWM)

هیبریدی محدود شده است. در مقابل این دو ساختار از تعداد سوئیچ‌های بیشتری نسبت به ساختار پایه استفاده می‌کنند.

در این مقاله یک ساختار اصلاح شده برای اینورتر ۱۳ سطحی کلیدزنی خازنی با بهره ولتاژ ۳ پیشنهاد شده است. از ویژگی‌های ساختار پیشنهادی می‌توان به مواردی نظیر استفاده از تنها یک منبع DC، تولید ولتاژ ۱۳ سطحی با استفاده از صرفا ۱۱ کلید قدرت و تعادل خودکار هر ۳ خازن ساختار پیشنهادی بدون نیاز به مدارات جانبی یا روش‌های کنترلی پیچیده، مقدار مناسب برای تنش ولتاژ کل سوئیچ‌ها و کاهش جریان هجومی هنگام شارژ خازن‌ها اشاره کرد.

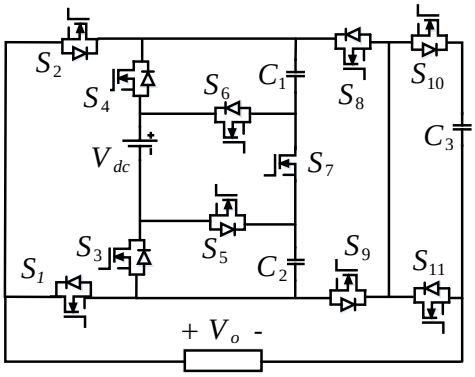
ساختار ادامه مقاله به شرح زیر است: در بخش دوم توصیف کلی ساختار پیشنهادی به همراه نحوه عملکرد مدار ارائه شده است. تحلیل تلفات توان و یک تحلیل مقایسه‌ای کامل برای تایید برتری عملکرد ساختار پیشنهادی به ترتیب در بخش سوم و چهارم ارائه خواهد شد. در بخش پنجم نتایج شبیه‌سازی و پیاده‌سازی ساختار پیشنهادی ارائه شده و نتیجه‌گیری مقاله در بخش ششم انجام گرفته است.

۲- ساختار پیشنهادی

در این بخش مدار ساختار پیشنهادی تشریح شده و اصول عملکرد آن توضیح داده خواهد شد. در ادامه طراحی خازن‌های مدار پیشنهادی انجام شده و استراتژی مدولاسیون تبیین خواهد شد. در انتها در خصوص فرآیند شارژ نرم خازن‌ها بحث خواهد شد.

۲-۱- تشریح مدار

ساختار اینورتر ۱۳ سطحی کلیدزنی خازنی پیشنهادی در شکل (۱) نشان داده شده است که می‌تواند ولتاژ ورودی را تا ۳ برابر افزایش دهد. ساختار پیشنهادی شامل یک منبع dc (V_{in})، سه خازن (C_1، C_2 و C_3) و تنها ۱۱ کلید قدرت (S_1-S_{11}) می‌باشد. این ساختار قابلیت تولید یک ولتاژ خروجی AC ۱۳ سطحی بدون نیاز به پل H را دارد و با توجه به ویژگی تقویت ذاتی ولتاژ به مبدل‌های dc-dc اضافی نیاز نیست. برای دستیابی به یک خروجی ۱۳ سطحی با بهره ولتاژ ۳، ولتاژ خازن‌های C_1 و C_2 به اندازه V_{in} و خازن C_3 به اندازه $0.5V_{in}$ به صورت خودکار و بدون استفاده از سیستم کنترل اضافی شارژ می‌شوند. این تعادل ولتاژ خودکار خازن‌ها با استفاده از روش اتصال سری/موازی به دست می‌آید. این ویژگی پیچیدگی کنترل اینورتر پیشنهادی و به طبع آن هزینه را کاهش می‌دهد.



شکل ۱- ساختار اینورتر پیشنهادی

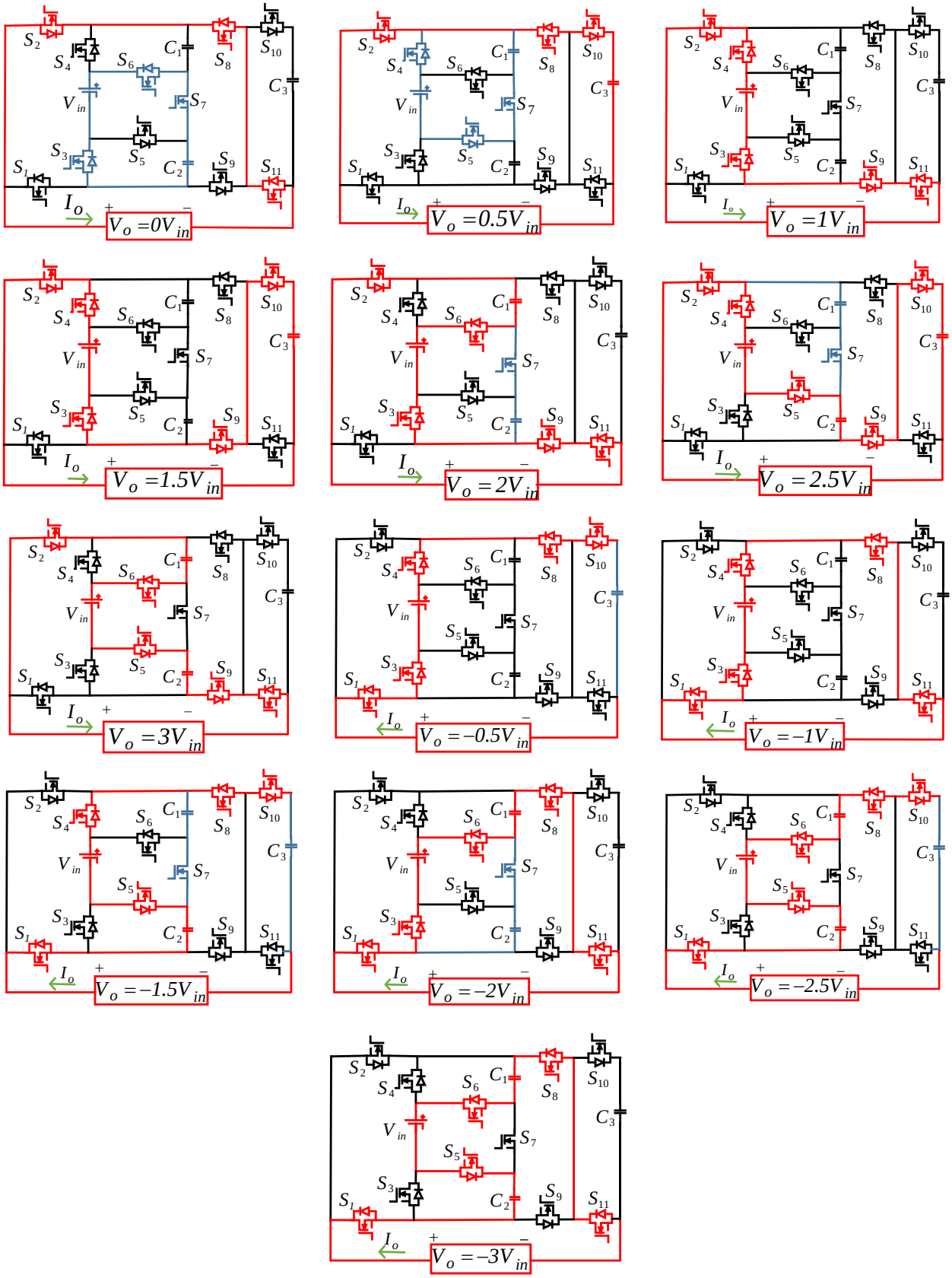
اندازه $0.5V_{in}$ به صورت خودکار و بدون استفاده از سیستم کنترل اضافی شارژ می‌شوند. این تعادل ولتاژ خودکار خازن‌ها با استفاده از روش اتصال سری/موازی به دست می‌آید. این ویژگی پیچیدگی کنترل اینورتر پیشنهادی و به طبع آن هزینه را کاهش می‌دهد.

۲-۲- اصول عملکرد

مسیر جریان و حالت‌های عملیاتی برای سطوح ولتاژ خروجی در شکل (۲) نشان داده شده است. همچنین حالت‌های مختلف کلیدزنی ساختار پیشنهادی در جدول ۱ بیان شده است. تحلیل عملکرد مدار ساختار پیشنهادی برای تایید تعادل خودکار خازن‌ها مطابق شکل (۲) به صورت زیر انجام می‌شود:

جدول ۱- حالت‌های کلیدزنی اینورتر پیشنهادی

ولتاژ خروجی	کلیدهای روشن
$0V_{in}$	S_2,S_6,S_7,S_8,S_{11}
$0.5V_{in}$	S_2,S_5,S_7,S_8,S_{10}
$1V_{in}$	S_2,S_3,S_4,S_9,S_{11}
$1.5V_{in}$	S_2,S_3,S_4,S_9,S_{10}
$2V_{in}$	$S_2,S_3,S_6,S_7,S_9,S_{11}$
$2.5V_{in}$	$S_2,S_4,S_5,S_7,S_9,S_{10}$
$3V_{in}$	S_2,S_5,S_6,S_9,S_{11}
$-0.5V_{in}$	S_1,S_3,S_4,S_8,S_{10}
$-1V_{in}$	S_1,S_3,S_4,S_8,S_{11}
$-1.5V_{in}$	$S_1,S_4,S_5,S_7,S_8,S_{10}$
$-2V_{in}$	$S_1,S_3,S_6,S_7,S_8,S_{11}$
$-0.5V_{in}$	S_1,S_5,S_6,S_8,S_{10}
$-3V_{in}$	S_1,S_5,S_6,S_8,S_{11}



شکل ۲- عملکرد ساختار پیشنهادی

حالت ۱ ($V_o=0V_{in}$) : سطح ولتاژ خروجی صفر با روشن کردن کلیدهای S_2، S_8 و S_{11} تولید می‌شود، در این حالت خازن C_2 از طریق کلیدهای S_3، S_6 و S_7 توسط V_{in} شارژ می‌شود.

حالت ۲ ($V_o=\pm0.5V_{in}$) : سطح ولتاژ خروجی 0.5+ صرفا با دشارژ خازن C_3 توسط کلیدهای S_2، S_8 و S_{10} تولید می‌شود، در این حالت خازن C_1 از طریق کلیدهای S_4 و S_5 توسط V_{in} شارژ می‌شود. به طور مشابه، سطح ولتاژ خروجی 0.5- با شارژ خازن C_3 به صورت سری با منبع V_{in} توسط کلیدهای S_1، S_3، S_4، S_8 و S_{10} تولید می‌شود.

حالت ۳ ($V_o=\pm1V_{in}$) : سطح ولتاژ خروجی 1+ با در نظر گرفتن منبع ولتاژ V_{in} در مسیر جریان بار با روشن کردن کلیدهای S_2، S_3، S_4، S_9 و S_{11} تولید می‌شود. به طور مشابه، سطح ولتاژ خروجی 1- با روشن کردن کلیدهای S_1، S_3، S_4، S_8 و S_{11} تولید می‌شود.

حالت ۴ ($V_o=\pm1.5V_{in}$) : سطح ولتاژ خروجی 1.5+ با دشارژ خازن C_3 به صورت سری با منبع ولتاژ تولید می‌شود. به طور مشابه، سطح ولتاژ خروجی 1.5- با شارژ خازن C_3 و دشارژ خازن C_2 به صورت سری با منبع ولتاژ تولید می‌شود. در این حالت خازن C_1 به صورت موازی با منبع ولتاژ شارژ می‌شود.

حالت ۵ ($V_o=\pm2V_{in}$) : سطح ولتاژ خروجی 2+ با دشارژ خازن C_1 به صورت سری با منبع ولتاژ توسط کلیدهای S_2، S_3، S_6، S_9 و S_{11} تولید می‌شود. به طور مشابه، سطح ولتاژ خروجی 2- با دشارژ خازن C_1 به صورت سری با منبع ولتاژ با روشن کردن کلیدهای S_1، S_3، S_6، S_8 و S_{11} تولید می‌شود. در هر دو حالت خازن C_2 از طریق کلید S_7 به صورت موازی با منبع ولتاژ شارژ می‌شود.

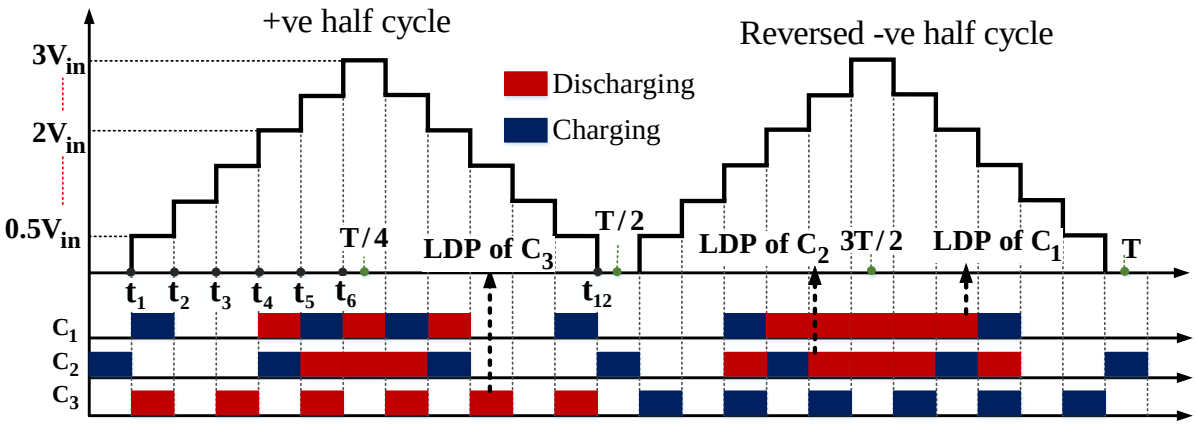
حالت ۶ ($V_o=\pm2.5V_{in}$) : سطح ولتاژ خروجی 2.5+ با دشارژ هر دو خازن C_2 و C_3 به صورت سری با منبع ولتاژ تولید می‌شود. در این حالت خازن C_1 با روشن کردن کلید S_7 به صورت موازی با منبع ولتاژ شارژ می‌شود. به طور مشابه، سطح ولتاژ خروجی 2.5- با شارژ خازن C_3 و دشارژ خازن‌های C_2 و C_3 به صورت سری با منبع ولتاژ توسط روشن کردن کلیدهای S_1، S_5، S_6، S_8 و S_{10} تولید می‌شود.

حالت ۷ ($V_o=\pm3V_{in}$) : سطح ولتاژ خروجی 3+ با دشارژ خازن‌های C_1 و C_2 به صورت سری با منبع ولتاژ توسط روشن کردن کلیدهای S_2، S_5، S_6، S_9 و S_{11} تولید می‌شود. به طور مشابه، سطح ولتاژ خروجی 3- با دشارژ خازن‌های C_1 و C_2 به صورت سری با منبع ولتاژ توسط روشن کردن کلیدهای S_1، S_5، S_6، S_8 و S_{11} تولید می‌شود.

۲-۳- طراحی خازن

در شکل (۳)، ۱۳ حالت عملکردی ولتاژ خروجی ساختار پیشنهادی در یک دوره تناوب نشان داده شده است. با توجه به مدت زمان شارژ و دشارژ خازن‌ها مطابق شکل (۳)، خازن‌ها در یک دوره تناوب خروجی چندین بار شارژ و دشارژ می‌شوند. این امر منجر به بازیابی سریع ولتاژ خازن‌ها در بازه‌های زمانی کوتاه می‌شود و در بهبود عملکرد اینورتر کلیدزنی خازنی تاثیرگذار است.

مقدار ظرفیت خازن به عوامل مختلفی مانند حداکثر بازه زمانی دشارژ خازن‌های C_1 و C_2، کل بازه زمانی دشارژ خازن C_3 در نیم سیکل مثبت، ریپل ولتاژ کم، فرکانس نامی و کاربرد اینورتر بستگی دارد. با توجه به این که ریپل ولتاژ مجاز خازن، مابین ۵ تا ۱۰ درصد می باشد، پس ضروری است که در ساختار پیشنهادی جهت کاهش تلفات توان و بهبود کیفیت ولتاژ و همچنین بازده اینورتر، ریپل ولتاژ خازن کاهش یابد. با درنظر گرفتن بازه زمانی یکسان برای سطوح



شکل ۳- نحوه شارژ و دشارژ خازن‌ها

ولتاژ مختلف، مقدار دشارژ خازن‌ها را می‌توان به صورت زیر بیان کرد:

$$\Delta Q_{C_1} = 2\int_{t_4}^{\frac{T}{4}} I_{omax}\ sin\left(\omega t-\varphi\right)dt \qquad (۱)$$

$$\Delta Q_{C_2} = 2\int_{t_5}^{\frac{T}{4}} I_{omax}\ sin\left(\omega t-\varphi\right)dt \qquad (۲)$$

$$\Delta Q_{C_3} = 2\left[\int_{t_1}^{t_2} I_{omax}\ sin\left(\omega t-\varphi\right)dt + \int_{t_3}^{t_4} I_{omax}\ sin\left(\omega t-\varphi\right)dt + \int_{t_5}^{t_6} I_{omax}\ sin\left(\omega t-\varphi\right)\right] \qquad (۳)$$

φ اختلاف زاویه جریان بار I_o و مولفه اصلی ولتاژ خروجی می‌باشد و I_{omax} ماکزیمم جریان بار است. معادله (۴) فاصله زمانی سطوح مختلف ولتاژ خروجی برای محاسبه ظرفیت خازن را نشان می‌دهد.

$$t_i = \frac{sin^{-1}\left(\frac{2i-1}{N_l-1}\right)}{\omega} \qquad (۴)$$

$$t_1=\frac{sin^{-1}\left(1/12\right)}{\omega} \quad t_2=\frac{sin^{-1}\left(3/12\right)}{\omega}$$
$$t_3=\frac{sin^{-1}\left(5/12\right)}{\omega} \quad t_4=\frac{sin^{-1}\left(7/12\right)}{\omega}$$
$$t_5=\frac{sin^{-1}\left(9/12\right)}{\omega} \quad t_6=\frac{sin^{-1}\left(11/12\right)}{\omega}$$
$$t_7=\left(\frac{T}{2}\text{-}t_6\right) \quad t_8=\left(\frac{T}{2}\text{-}t_7\right) \qquad (۵)$$

که N_L تعداد سطوح خروجی می‌باشد. با توجه به رابطه ریپل ولتاژ بیان شده در معادله (۶) ظرفیت خازن مطابق (۷) بیان می‌شود:

$$\Delta V_c = \frac{\Delta Q_C}{C} \qquad (۶)$$

$$C_1 \geq \frac{\Delta Q_{C_1}}{KV_{in}} \ \ and \ \ C_2 \geq \frac{\Delta Q_{C_2}}{KV_{in}} \quad and \ C_3 \geq \frac{\Delta Q_{C_3}}{K\left(0.5V_{in}\right)} \qquad (۷)$$

K بیان‌گر درصد ریپل مجاز ولتاژ خازن‌ها است. در نهایت ظرفیت خازنی با استفاده از معادله‌های بالا به صورت زیر به دست می‌آید:

$$C_1 \geq \frac{2\,I_{omax}}{K\,\omega V_{in}}\left(\ cos\left(0.623-\varphi\right)-sin\,\varphi\right) \qquad (۸)$$

$$C_2 \geq \frac{2\,I_{omax}}{K\,\omega V_{in}}\left(\ cos\left(0.85-\varphi\right)-sin\,\varphi\right) \qquad (۹)$$

$$C_3 \geq \frac{2\,I_{omax}}{K\,\omega\left(0.5V_{in}\right)}[cos\left(0.083-\varphi\right) + cos\left(0.42-\varphi\right)+cos\left(0.84-\varphi\right) - cos\left(0.25-\varphi\right)-cos\left(0.62-\varphi\right) - cos\left(1.16-\varphi\right)] \qquad (۱۰)$$

با اعمال مقادیر خازن‌ها برای اینورتر پیشنهادی توسط روابط بالا و استفاده از روش اتصال سری/موازی تعادل ولتاژ خودکار خازن‌ها تایید می‌شود.

۲-۴- استراتژی مدولاسیون

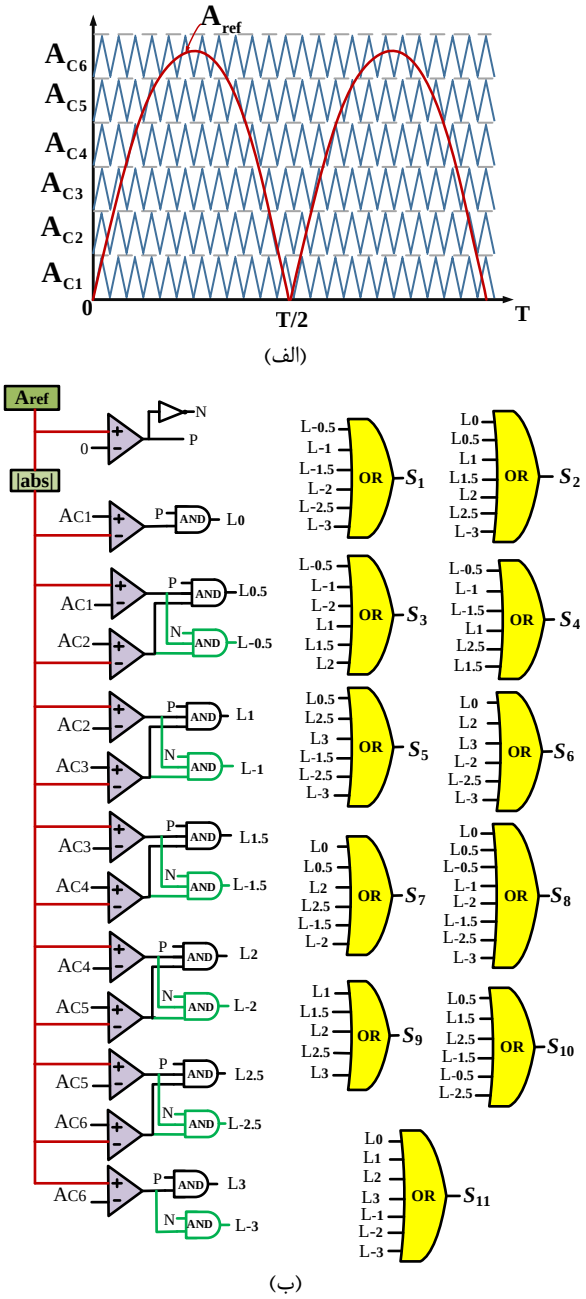
برای استراتژی کنترلی اینورترهای چندسطحی روش‌های مختلفی نظیر روش‌های کلیدزنی فرکانس بالا (مانند مدولاسیون پهنای پالس چند حامل و مدولاسیون پهنای پالس بردار فضایی) [۱۹] و [۲۰] و روش‌های کلیدزنی فرکانس پایین (مانند کنترل نزدیک‌ترین سطح و حذف هارمونیک انتخابی) [۲۱] و [۲۲] وجود دارند. در این مقاله یک استراتژی مدولاسیون پهنای پالس شیفت سطح (PWM-LS) برای کنترل کلیدهای ساختار پیشنهادی استفاده شده است [۲۳]. در این روش برای تولید خروجی ۱۳ سطحی، مطابق با شکل ۴، ۶ شکل موج حامل A_{C1}-A_{C6} با دامنه و فرکانس یکسان f_s با یک شکل موج مرجع سینوسی A_{ref} با فرکانس f مقایسه می‌شوند. شاخص مدولاسیون برای شکل (۴) به صورت زیر بیان می‌شود:

$$M = \frac{A_{ref}}{6\,A_C} \qquad (۱۱)$$

مطابق شکل (۴)، فرایند مدولاسیون به ۶ بخش تقسیم می‌شود. در هر بخش با توجه به رابطه بین شکل موج سینوسی و شکل موج حامل، پالس‌های کلیدزنی مربوط به هر سطح ولتاژ تولید می‌شود که با توجه به جدول ۱ برای روشن کردن کلیدها مورد استفاده قرار می‌گیرد.

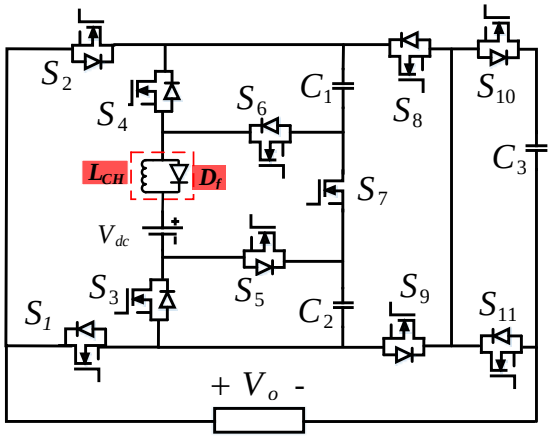
۲-۵- شارژ نرم

از محدودیت‌های اینورترهای چندسطحی کلیدزنی خازنی، جریان هجومی زیاد در مرحله شارژ خازن‌ها می‌باشد. جریان هجومی زیاد خازن‌ها باعث افزایش تنش جریان کلیدهای درگیر در مسیر شارژ، خرابی خازن‌ها و کاهش بازده مبدل می‌شود. بنابراین، چالش اینورترهای چندسطحی کلیدزنی خازنی فرآیند شارژ خازن‌ها برای کنترل جریان هجومی خازن‌ها می‌باشد. در ساختار پیشنهادی مطابق شکل (۵)، روش شارژ نرم با استفاده از یک سلف L_{CH} به همراه دیود آن محقق شده است.



شکل (۴-الف)- شمای کلی (ب): پیاده‌سازی استراتژی مدولاسیون برای اینورتر پیشنهادی

موازی هرزگرد D_f واحد شارژ نرم در ساختار پیشنهادی با اتصال سری با منبع ورودی DC برای محدودسازی جریان هجومی به کار گرفته شده است. وجود سلف مانع تغییر ناگهانی جریان شده و م جریان کنترل شده‌ای ارائه می‌دهد با این حال منجر به اسپایک ولتاژ می‌شود. بنابراین در ساختار شارژ یک دیود موازی با سلف برای جلوگیری از این اضافه ولتاژ به کار می‌رود. دیود موازی با سلف یک مسیر جدا برای جریان فراهم می‌کند که می‌تواند از اضافه ولتاژ جلوگیری کند. این دیود مانع شارژ بیش از حد خازن‌ها شده و منجر به تثبیت ولتاژ خازن‌ها می‌شود[۲۴]. پس وجود سلف در مسیر شارژ خازن‌ها امکان شارژ نرم با تنش جریان کم را فراهم می‌کند و وجود دیود مانع خرابی خازن‌ها می‌شود.



شکل ۵- ساختار پیشنهادی همراه با روش شارژ نرم

۳- تحلیل تلفات توان

در این بخش تلفات توان و راندمان اینورتر ۱۳ سطحی پیشنهادی محاسبه شده است. به طور کلی برای اینورترهای چند سطحی کلیدزنی خازنی سه نوع تلفات شامل تلفات کلیدزنی (P_{SW})، تلفات هدایتی (P_C) و تلفات ریپل خازن (P_r) در نظر گرفته می‌شود. بنابراین تلفات کل در اینورترهای چندسطحی کلیدزنی خازنی به صورت زیر بیان می‌شود:

$$P_{losses} = P_C + P_{Sw} + P_r \qquad (۱۲)$$

تلفات هدایتی و کلیدزنی مربوط به تلفات در کلیدهای نیمه‌رسانای قدرت می‌باشد، درحالی که تلفات ریپل خازن نشان‌دهنده تلفات در خازن است.

۳-۱- تلفات کلیدزنی

عملکرد غیر ایده‌آل ادوات نیمه‌رسانای قدرت منجر به تلفات کلیدزنی می‌شود. برای محاسبه این تلفات، تغییر ولتاژ و جریان سوئیچ هنگامی که سوئیچ روشن و خاموش می‌شود به صورت خطی در نظر گرفته می‌شود. بنابراین تلفات توان کلیدزنی سوئیچ‌ها می‌تواند به صورت زیر بیان شود [۲۵]:

$$P_{SW} = f\left[\sum_{k=1}^{N_S}\left(\sum_{i=1}^{N_{ON,k}} \frac{V_{sw,k} \times I_{ON} \times t_{ON}}{6} + \sum_{i=1}^{N_{OFF,k}} \frac{V_{sw,k} \times I_{OFF} \times t_{OFF}}{6}\right)\right] \qquad (۱۳)$$

که در آن f، N_S و $V_{sw,k}$ به ترتیب بیانگر فرکانس ولتاژ خروجی، تعداد کل سوئیچ‌ها و ولتاژ حالت خاموش سوئیچ Kام می‌باشد. I_{ON} و I_{OFF} به ترتیب جریان عبوری از سوئیچ

بعد از روشن شدن سوئیچ و قبل از خاموش شدن سوئیچ می‌باشد. t_{ON} و t_{OFF} به ترتیب بیانگر مدت زمان مورد نیاز برای روشن و خاموش کردن یک سوئیچ می‌باشد. $N_{ON,k}$ و $N_{OFF,k}$ بیانگر تعداد دفعاتی است که سوئیچ kام در یک دوره زمانی روشن و خاموش می‌شود.

۳-۲- تلفات هدایتی

مقاومت داخلی و افت ولتاژ ادوات نیمه‌رسانا در حالت روشن منجر به تلفات هدایتی می‌شود. این تلفات شامل مجموع تلفات هدایتی روی سوئیچ ($P_{C,s}$) و دیود موازی معکوس آن ($P_{C,d}$) می‌باشد که به صورت زیر محاسبه می‌شود.

$$\begin{aligned} P_{C,s} &= V_{S,ON}\, i(t) + R_S\, i^{\alpha}(t) \\ P_{C,d} &= V_{d,ON}\, i(t) + R_d\, i^{2}(t) \end{aligned} \qquad (۱۴)$$

که $V_{S,ON}$ و R_S به ترتیب نشان دهنده افت ولتاژ و مقاومت سوئیچ هنگام روشن بودن سوئیچ می‌باشد و به طور مشابه $V_{d,ON}$ و R_d به ترتیب نشان دهنده افت ولتاژ و مقاومت دیود هنگام هدایت دیود است. α یک ضریب ثابت وابسته به مشخصات سوئیچ است. تلفات هدایتی کل در تمام سوئیچ‌ها و دیودهای موازی معکوس با توجه به معادله (۱۴) به صورت زیر بیان می‌شود [۲۶].

$$\begin{aligned} P_C &= \sum_{k=1}^{N_s} \frac{1}{2\pi} \int_0^{2\pi} \left[V_{s,ON}\, i(t) + R_s\, i^{\alpha}(t) \right] dt \\ &+ \sum_{k=1}^{Nd} \frac{1}{2\pi} \int_0^{2\pi} \left[V_{d,ON}\, i(t) + R_d\, i^{2}(t) \right] dt \end{aligned} \qquad (۱۵)$$

۳-۳- تلفات ریپل خازن

هنگامی که خازن‌های اینورتر چندسطحی کلیدزنی خازنی به صورت موازی با منبع dc شارژ می‌شوند، مقاومت سری معادل خازن (ESR) باعث یک تفاوت ولتاژ بین ولتاژ منبع و ولتاژ مطلوب خازن می‌شود که افت ولتاژ در شکل موج خروجی را به دنبال دارد. این تفاوت ولتاژ منجر به تلفات ریپل در خازن می‌شود. تلفات ریپل در خازن به ریپل ولتاژی که در خازن ظاهر می‌شود بستگی دارد که توسط رابطه زیر بیان می‌شود [۲۷].

$$\begin{aligned} \Delta V_{C_i} &= \frac{1}{C_i} \int_{t_a}^{t_b} I_{C,i}(t)\, dt \\ P_r &= \frac{1}{2} f_{sw} \sum_{i=1}^{N} C_i\, \Delta V_{C_i}{}^{2} \end{aligned} \qquad (۱۶)$$

که N، $I_{C,i}$ و t_b-t_a به ترتیب بیانگر تعداد خازن‌ها، جریان شارژ خازن و مدت زمان دشارژ خازن می‌باشد. با در نظر گرفتن تلفات توان کل به دست آمده در معادله (۱۲)، راندمان اینورتر پیشنهادی به صورت زیر قابل بیان است.

$$\eta = \frac{P_{out}}{P_{out} + P_{losses}} = \frac{P_{out}}{P_{out} + P_C + P_{SW} + P_r} \qquad (۱۷)$$

۴- مقایسه با دیگر توپولوژی‌ها

در این بخش برای تحلیل مزایا و معایب اینورتر پیشنهادی، ساختار آن با ساختارهای مشابه ارائه شده در جدول ۲ مقایسه شده است. مقایسه توپولوژی‌ها بر اساس پارامترهای مختلفی مانند بهره ولتاژ، تعداد منابع dc، تعداد سوئیچ، تعداد دیود، تعداد خازن، حداکثر ولتاژ مسدودکنندگی (MBV) و ولتاژ مسدودکنندگی کلی (TSV) انجام شده است. همانطور که از جدول ۲ قابل مشاهده است توپولوژی پیشنهادی تنها با ۱۱ کلید، ولتاژ خروجی ۱۳ سطحی با بهره ولتاژ ۳ تولید می‌کند. تمام توپولوژی‌های ارائه شده در جدول ۲ همانند توپولوژی پیشنهادی، ۱۳ سطحی می‌باشند. مرجع [۱۲] با بهره ولتاژ یکسان با ساختار پیشنهادی با اینکه TSV نسبتا بهتری دارد، اما تعداد دیود و خازن‌های آن بیشتر است. افزایش تعداد خازن منجر به افزایش جریان هجومی می‌شود که باعث مطلوب نبودن ساختار پیشنهادی است. مرجع [۱۴] TSV نسبتا کمتری نسبت به ساختار پیشنهادی ارائه می‌دهد، با این حال نیازمند تعداد منابع و سوئیچ بیشتر است که افزایش هزینه را به دنبال دارد. ساختارهای مراجع [۱۷] و [۱۸] با اینکه بهره ولتاژ بیشتری نسبت به توپولوژی پیشنهادی ارائه می‌دهند، اما TSV این ساختارها به طور قابل توجهی افزایش یافته است.

در مرجع [۲۷] با اینکه با بهره ولتاژ و تعداد منابع یکسان با ساختار پیشنهادی TSV نسبتا کمتری ارائه می‌دهد اما تعداد سوئیچ بیشتری نسبت به ساختار پیشنهادی دارد. توپولوژی ارائه شده در مرجع [۲۸] با بهره ولتاژ یکسان و TSV نزدیک به ساختار پیشنهادی، در مقایسه با توپولوژی پیشنهادی به طور قابل توجهی نیازمند تعداد زیادی از ادوات می‌باشد که این مقرون به صرفه نبودن ساختار ارائه شده را نشان می‌دهد. در ساختار ارائه شده در مرجع [۲۹] تنها دو سوئیچ حداکثر ولتاژ مسدودکنندگی (MBV) را تحمل می‌کنند، با این حال با بهره ولتاژ برابر با توپولوژی پیشنهادی TSV نسبتا زیادی دارد و همچنین نیازمند دو منبع می‌باشد که منجر به افزایش هزینه می‌شود. مرجع [۳۰] با MBV یکسان با توپولوژی پیشنهادی، بهره ولتاژ بیشتری نسبت به آن دارد ولی ۹ سوئیچ در ساختار ارائه شده MBV را تحمل می‌کنند.

جدول ۲- مقایسه‌ی ساختارهای ۱۳ سطحی

ساختارها	N_{SW}	N_{DD}	N_{Dr}	N_C	N_{DC}	B	TSV ($\times V_{in}$)	MBV	CF_1 =0.5α	CF_2 =0.5α	CF_1 =1.5α	CF_2 =1.5α
[۱۲]	۱۲	۴	۱۱	۴	۱	۳	۱۷	۲	۳.۰۴	۲.۶۰	۴.۳۴	۳.۰۳
[۱۳]	۱۳	۳	۱۳	۳	۱	۳	۱۸.۵	۲	۳.۱۷	۲.۷۰	۴.۵۹	۳.۱۷
[۱۴]	۱۶	۲	۱۶	۴	۲	۳	۱۸	۳	۷.۲۴	۶.۳۱	۱۰	۷.۲۳
[۱۵]	۱۵	۰	۱۵	۳	۱	۶	۳۵	۴	۳.۸۰	۲.۷۸	۶.۵۸	۳.۲۰
[۱۷]	۱۲	۴	۱۲	۳	۱	۶	۳۵	۳	۳.۷۳	۲.۶۱	۶.۴۲	۳.۰۵
[۱۸]	۱۳	۲	۱۳	۳	۱	۶	۳۵	۳	۳.۷۳	۲.۶۰	۶.۴۲	۳.۰۵
[۲۷]	۱۳	۱	۱۲	۳	۱	۳	۱۷	۲	۲.۸۸	۲.۴۵	۴.۱۹	۲.۸۷
[۲۸]	۱۲	۳	۱۱	۳	۱	۳	۱۸	۲	۲.۹۳	۲.۴۶	۴.۳۱	۲.۹۲
[۲۹]	۱۴	۲	۱۴	۴	۲	۳	۲۰	۳	۶.۷۸	۵.۷۴	۹.۵۸	۶.۷۸
[۳۰]	۱۴	۱	۱۴	۳	۱	۶	۳۴	۳	۳.۷۸	۲.۶۸	۶.۳۸	۳.۱۰
ساختار پیشنهادی	۱۱	۰	۱۱	۳	۱	۳	۱۹	۳	۲.۶۵	۲.۱۶	۴.۱۱	۲.۶۵

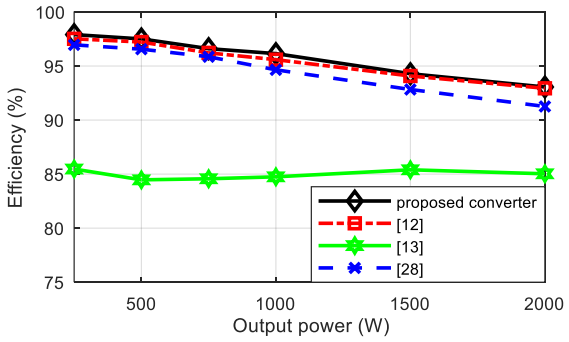
بنابراین می‌توان گفت ساختار پیشنهادی با بهره ولتاژ ۳ ویژگی‌های ساختاری بهتری مانند تعداد ادوات کم، منبع dc واحد و TSV مناسب نسبت به ساختارهای بررسی شده اخیر ارائه می‌دهد. علاوه بر این دو پارامتر مقایسه‌ای تابع هزینه به نام‌های (CF_1) [۱۵] و (CF_2) [۳۱] برای ساختار پیشنهادی به صورت زیر بیان می‌شود که مطابق جدول ۲ برتری طراحی ساختار پیشنهادی را تایید می‌کند.

$$CF_1 = \frac{(N_{SW} + N_{Dr} + N_{DD} + N_C + \alpha TSV) \times N_{DC}}{N_{Level}} \quad (۱۸)$$

$$CF_2 = \frac{(N_{SW} + N_{Dr} + N_{DD} + N_C + (\alpha TSV/B) \times N_{DC}}{N_{Level}} \quad (۱۹)$$

α ضریب وزنی بیان کننده اهمیت تعداد اجزای مبدل یا اهمیت میزان TSV می‌باشد. در صورتیکه هدف طراح تعداد اجزای کمتر باشد این ضریب برابر با ۰/۵ در نظر گرفته می‌شود در حالیکه اگر هدف طراح، ساختار با مقدار کمتر TSV باشد، این ضریب برابر با ۱/۵ در نظر گرفته می‌شود [۳۱].

در نهایت، در شکل (۶) یک شبیه‌سازی تلفاتی برای ساختار پیشنهادی و همچنین ساختارهای مرجع [۱۲]، [۱۳] و [۲۸] برای بررسی تلفات و راندمان و مقایسه آن‌ها انجام شده است. برای بررسی و مقایسه منصفانه، بررسی تلفاتی در شرایط کاملا یکسان انجام شده است. یعنی سوئیچ‌های مشابه برای تمام ساختارهای تحت بررسی به کار رفته و تحت ولتاژ ورودی و توان خروجی یکسان شبیه‌سازی تلفاتی انجام شده است. از آنجا که در ساختار پیشنهادی هیچ دیودی به کار نرفته است پس تلفات هدایتی مربوط به دیود وجود نخواهد داشت که باعث افزایش راندمان ساختار پیشنهادی می‌شود. با توجه به نتایج این شبیه‌سازی که در شکل (۶) نشان داده شده است، برتری راندمان ساختار پیشنهادی نسبت به سایر ساختارهای مقایسه شده تایید می‌شود.



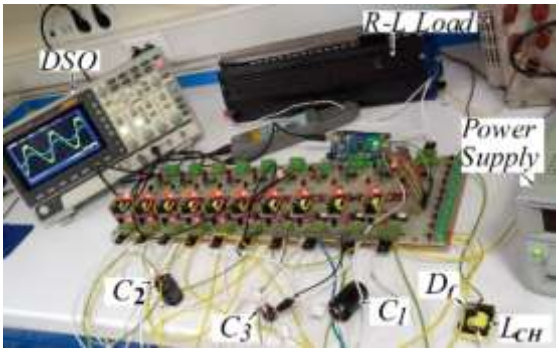
شکل ۶- مقایسه راندمان ساختار پیشنهادی با راندمان ساختارهای مرجع [۱۲]،[۱۳] و [۲۸]

۵- نتایج شبیه‌سازی

در این بخش برای ارزیابی عملکرد توپولوژی پیشنهادی، ابتدا ساختار پیشنهادی با استفاده از نرم‌افزار متلب شبیه‌سازی شده است. سپس، به منظور تایید عملکرد آن نمونه آزمایشگاهی در مقیاس ۵۰۰ وات مطابق شکل (۷) پیاده‌سازی شده است. فهرست پارامترهای استفاده شده در شبیه‌سازی و پیاده‌سازی در جدول ۳ ارائه شده است.

برای تولید سیگنال‌های کلیدزنی از استراتژی مدولاسیون پهنای پالس شیفت سطح (LS-PWM) استفاده شده است. در این روش فرکانس سیگنال مرجع ۵۰ هرتز و فرکانس سیگنال‌های حامل ۳۵۰۰ هرتز در نظر گرفته شده است. از یک منبع dc به اندازه ۵۰ ولت به عنوان ولتاژ ورودی، سوئیچ‌هایی با مشخصات IRFP460 و خازن‌هایی با ظرفیت محاسبه شده از معادلات (۸) تا (۱۰) به کار رفته است. شبیه‌سازی در شرایط عملی انجام شده و مقاومت پارازیتی سوئیچ‌های IRFP460 با استفاده از دیتاشیت آن‌ها حاصل شده است. از یک سلف ۰/۱ میلی هانری به همراه دیود موازی هرزگرد برای محدودسازی جریان هجومی استفاده شده است. در نهایت برای تایید عملکرد صحیح ساختار پیشنهادی، نتایج شبیه‌سازی و همچنین نتایج تجربی ارائه شده است. در شکل‌های (۸) الی (۱۴) نتایج شبیه‌سازی و تجربی شکل موج‌های مختلف ساختار پیشنهادی تحت شرایط متفاوت در کنار هم ارائه شده است. شکل (۸-الف) و (۸-ب) به ترتیب نشان دهنده نتایج شبیه‌سازی و تجربی شکل موج‌های ولتاژ خروجی و جریان بار تحت بار مقاومتی خالص می‌باشند. مطابق شکل (۸)، مقدار پیک ولتاژ خروجی اینورتر پیشنهادی با ولتاژ ورودی ۵۰ ولت برابر با ۱۵۰ ولت می‌باشد که قابلیت تولید خروجی ۱۳ سطحی با بهره ولتاژ ۳ را نشان می‌دهد. در شکل (۸-ج) محتوای هارمونیکی کل شکل موج ولتاژ خروجی اینورتر پیشنهادی نشان داده شده است. با توجه به نتایج شبیه‌سازی و تجربی و محتوای هارمونیکی کل، کیفیت بالای شکل موج ولتاژ خروجی اینورتر پیشنهادی قابل رویت می‌باشد.

در شکل (۹-الف) و (۹-ب) به ترتیب نتایج شبیه‌سازی و تجربی در طول تغییر بار از مقاومتی خالص به اهمی-سلفی نشان داده شده است. مطابق شکل (۹)، اینورتر پیشنهادی در طول تغییر بار عملکرد کاملا درستی از خود نشان داده است.

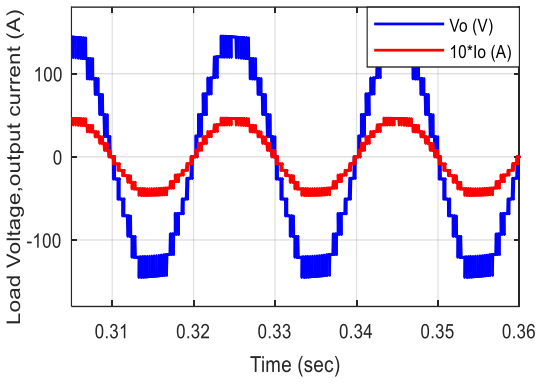


شکل ۷- نمونه آزمایشگاهی اینورتر پیشنهادی

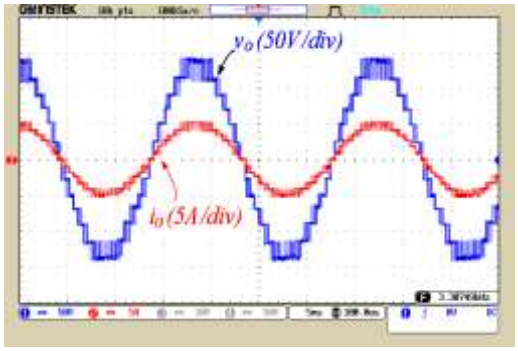
جدول ۳- مشخصات موردنیاز برای شبیه‌سازی و پیاده‌سازی

پارامتر	مقدار
ولتاژ ورودی	۵۰ ولت
اندیس مدولاسیون	۰/۹۲
فرکانس مولفه اصلی	۵۰ هرتز
فرکانس کلیدزنی	۳۵۰۰هرتز
مقاومت بار	۲۸ اهم
سلف بار	۵۰ میلی هانری
سلف شارژ	۰/۱ میلی هانری
ظرفیت خازن C_1	۳۳۰۰ میکروفاراد (۱۰۰ ولت)
ظرفیت خازن C_2	۳۳۰۰ میکروفاراد (۱۰۰ ولت)
ظرفیت خازن C_3	۳۳۰۰ میکروفاراد (۶۳ ولت)

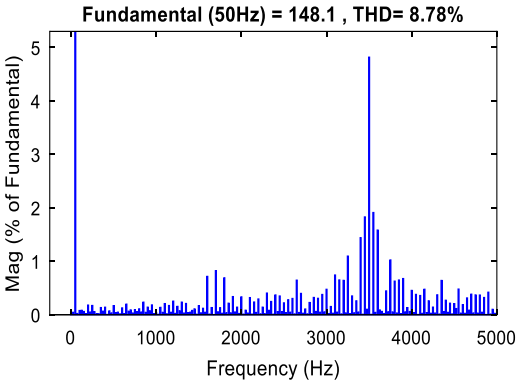
از شکل (۸) و (۹) می‌توان به وضوح مشاهده کرد که ساختار پیشنهادی تحت شرایط بارگذاری مختلف عملکرد درستی از خود نشان داده است. در شکل (۱۰) شکل موج‌های ولتاژ خروجی و جریان بار با تغییر اندیس مدولاسیون برای نشان دادن صحت عملکرد پاسخ دینامیکی اینورتر پیشنهادی نشان داده شده است. مطابق این شکل می‌توان بیان کرد که با کاهش اندیس مدولاسیون از ۰/۹۲ به ۰/۶۵ در لحظه t=0.34 sec، ولتاژ خروجی ۱۳ سطحی با پیک ۱۵۰ ولت به ولتاژ خروجی ۹ سطحی با پیک ۱۰۰ ولت کاهش یافته است. بنابراین با کاهش اندیس مدولاسیون، تعداد سطوح ولتاژ خروجی ساختار پیشنهادی به درستی کاهش یافته است.



(الف)



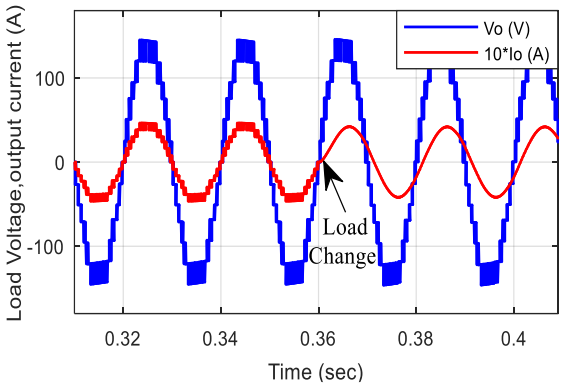
(ب)



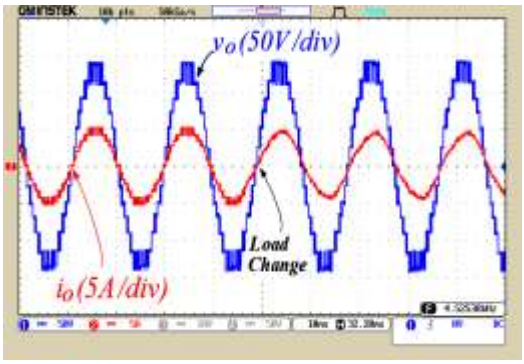
(ج)

شکل ۸- شکل موج‌های ولتاژ خروجی و جریان بار تحت بارگذاری مقاومتی خالص (الف): نتایج شبیه‌سازی (ب): نتایج تجربی (ج): THD ولتاژ خروجی

در شکل (۱۱-الف) و (۱۱-ب) به ترتیب نتایج شبیه‌سازی و تجربی ولتاژ دو سر سوئیچ‌های S_2، S_4 و S_8 نشان داده شده است. در شکل (۱۱-ج) و (۱۱-د) به ترتیب نتایج شبیه‌سازی و تجربی ولتاژ خازن C_1 و ولتاژ دو سر سوئیچ‌های S_6 و S_7 نشان داده شده است. مطابق این شکل قابل بیان است که ریپل ولتاژ خازن C_1 برابر با ۲/۵ ولت و معادل ۵ درصد ولتاژ خازن C_1 حاصل شده است. در شکل ۱۱-(ه) و ۱۱-(و) به ترتیب نتایج شبیه‌سازی و تجربی ولتاژ دو سر سوئیچ‌های S_1، S_3 و S_9 نشان داده شده است. مطابق شکل ۱۱ می‌توان بیان کرد که سوئیچ‌های S_1، S_2، S_8 و S_9 در فرکانس مولفه اصلی عمل می‌کنند. بنابراین عملکرد در فرکانس پایه این سوئیچ‌ها، منجر به کاهش تلفات توان ساختار پیشنهادی می‌شود.

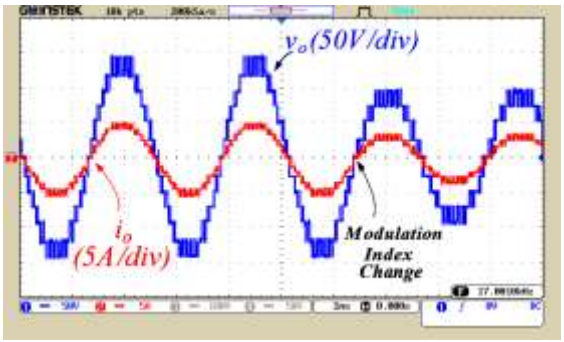


(الف)

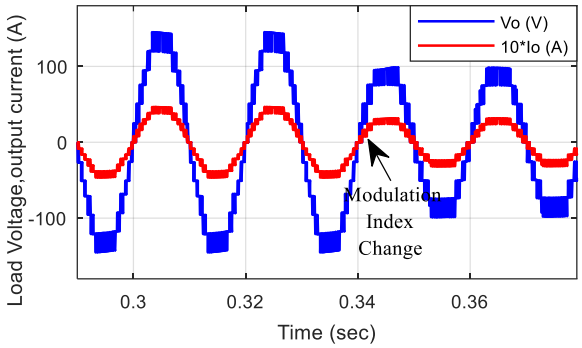


(ب)

شکل ۹- شکل موج‌های ولتاژ خروجی و جریان بار تحت شرایط تغییر دینامیکی بار از اهمی به اهمی-سلفی؛ (الف): نتایج شبیه‌سازی، (ب): نتایج تجربی

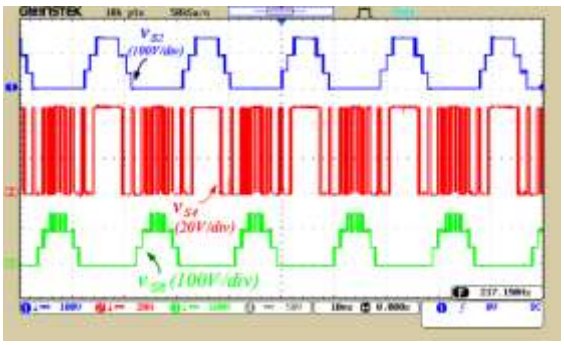


(ب)

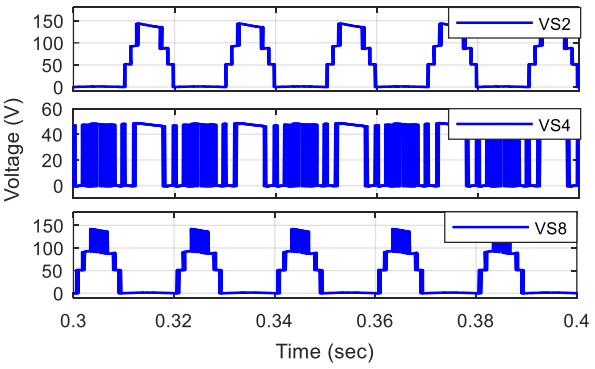


(الف)

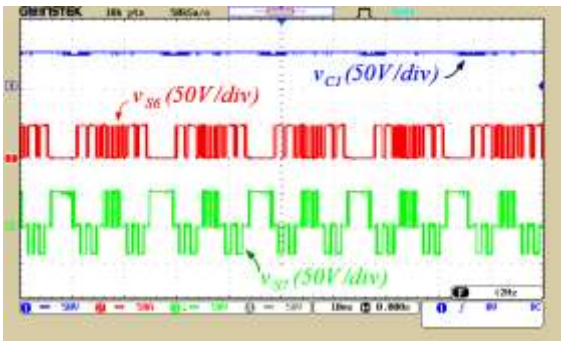
شکل ۱۰- شکل موج‌های ولتاژ خروجی و جریان بار تحت شرایط تغییر دینامیکی اندیس مدولاسیون؛ (الف): نتایج شبیه‌سازی، (ب): نتایج تجربی



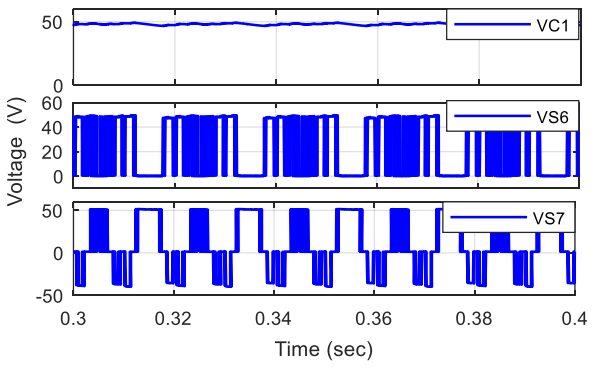
(ب)



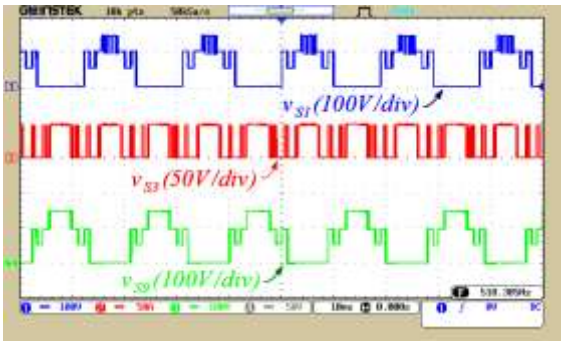
(الف)



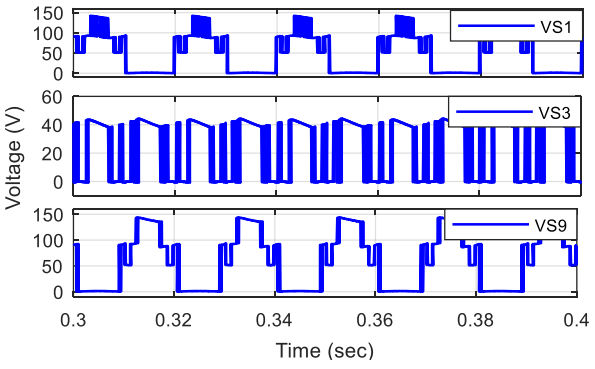
(د)



(ج)



(و)

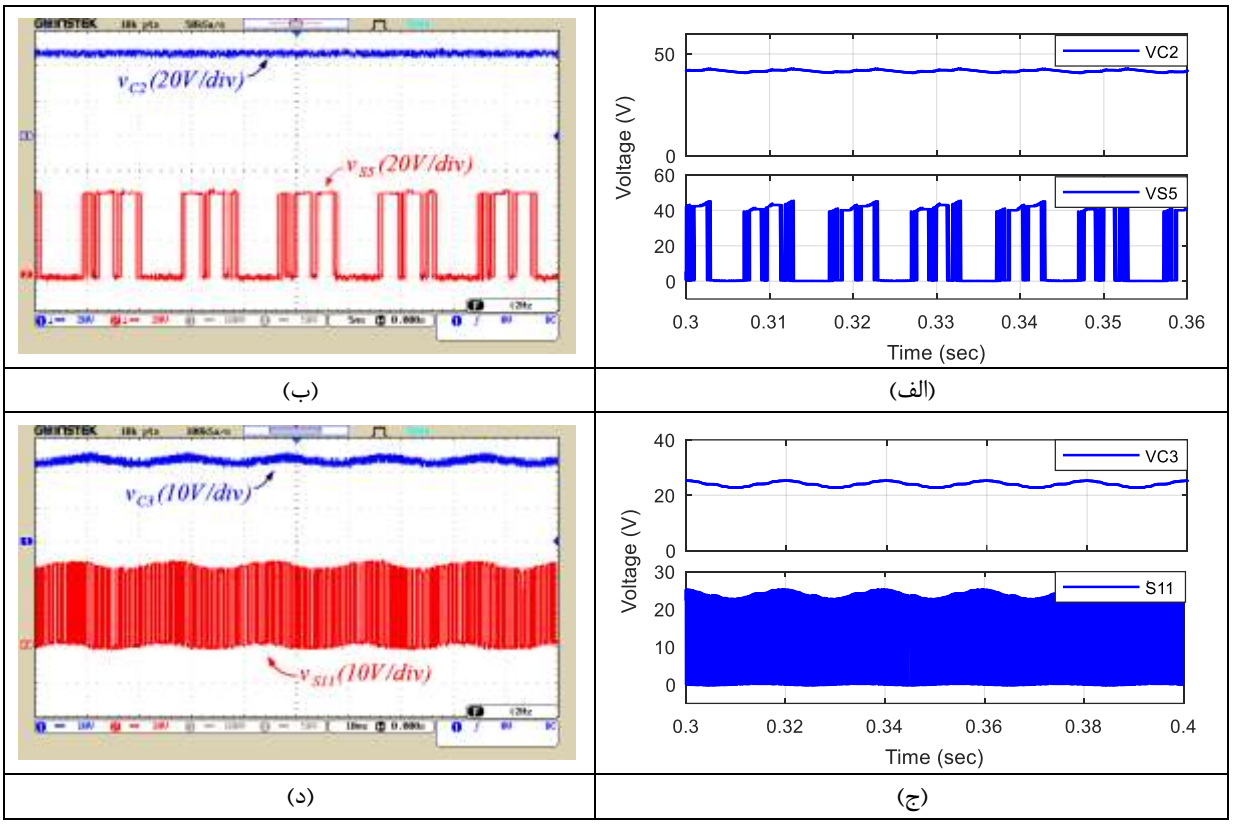


(ه)

شکل (۱۱-الف)- شکل موج نتایج شبیه‌سازی ولتاژ سوئیچ‌های S_2، S_4 و S_8، (ب): شکل موج نتایج تجربی ولتاژ سوئیچ‌های S_2، S_4 و S_8، (ج): شکل موج نتایج شبیه‌سازی ولتاژ خازن C_1 و ولتاژ سوئیچ‌های S_6 و S_7، (د): شکل موج نتایج تجربی ولتاژ خازن C_1 و ولتاژ سوئیچ‌های S_6 و S_7، (ه): شکل موج نتایج شبیه‌سازی ولتاژ سوئیچ‌های S_1، S_3 و S_9، (و): شکل موج نتایج تجربی ولتاژ سوئیچ‌های S_1، S_3 و S_9

در شکل ۱۲-(الف) و ۱۲-(ب) به ترتیب نتایج شبیه‌سازی و تجربی ولتاژ خازن C_2 و ولتاژ سوئیچ S_5 نشان داده شده است. مطابق این شکل ریپل ولتاژ خازن C_2 برابر با ۲ ولت حاصل شده که معادل ۴ درصد ولتاژ این خازن است. در شکل (۱۲-ج) و (۱۲-د) به ترتیب نتایج شبیه‌سازی و تجربی ولتاژ خازن C_3 و ولتاژ سوئیچ S_{11} نشان داده شده است. مطابق این شکل ریپل ولتاژ خازن C_3 برابر با ۲ ولت حاصل شده که معادل ۸ درصد ولتاژ این خازن است. از شکل (۱۱) و (۱۲) قابل مشاهده است که ریپل ولتاژ خازن‌های ساختار پیشنهادی در محدوده مجاز می‌باشد. ریپل ولتاژ مناسب خازن‌ها، کیفیت شکل موج‌های خروجی را بهبود می‌بخشد. با توجه به شکل (۱۱) و (۱۲) می‌توان بیان کرد که ولتاژ خازن‌ها به طور خودکار متعادل می‌شوند. همچنین قابل بیان است که ولتاژ خازن‌ها در طول تغییر بار و حتی در مقادیر مختلف اندیس مدولاسیون هم دارای تعادل خودکار می‌باشند. با توجه به این شکل‌ها می‌توان بیان کرد نتایج شبیه‌سازی ولتاژ خازن‌ها و ولتاژ دو سر سوئیچ‌های به دست آمده کاملا با نتایج پیاده‌سازی مطابقت دارد.

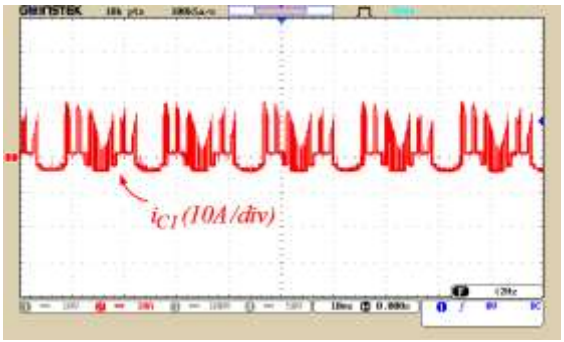
در شکل (۱۳) شکل موج‌های جریان خازن‌های ساختار پیشنهادی نشان داده شده است. شکل (۱۳-الف) و (۱۳-ب) به ترتیب نتایج شبیه‌سازی و تجربی جریان خازن C_1 را نشان می‌دهند. شکل (۱۳-ج) و (۱۳-د) به ترتیب نتایج شبیه‌سازی و تجربی جریان خازن C_2 را نشان می‌دهند. شکل (۱۳-ه) و (۱۳-و) به ترتیب نتایج شبیه‌سازی و تجربی جریان خازن C_3 را نشان می‌دهند. در شکل (۱۳) جریان خازن‌ها با اعمال روش شارژ نرم برای محدودسازی جریان هجومی خازن‌ها نشان داده شده است. با توجه به شکل (۱۳) پیک هر دو جریان خازن C_1 و C_2 معادل ۱۵ آمپر می‌باشند. بنابراین روش شارژ نرم ساختار پیشنهادی منجر به محدود شدن جریان هجومی خازن‌ها و جلوگیری از جریان نامطلوب آن‌ها شده است. مطابق شکل (۱۳) پیک جریان خازن C_3 معادل ۴ آمپر می‌باشد. مقدار کم پیک جریان خازن C_3 ناشی از قرار گرفتن این خازن در مسیر بار می‌باشد. از آنجا که این خازن به بار متصل است، جریان بار از آن عبور کرده و جریان هجومی در خازن C_3 مشاهده نمی‌شود.



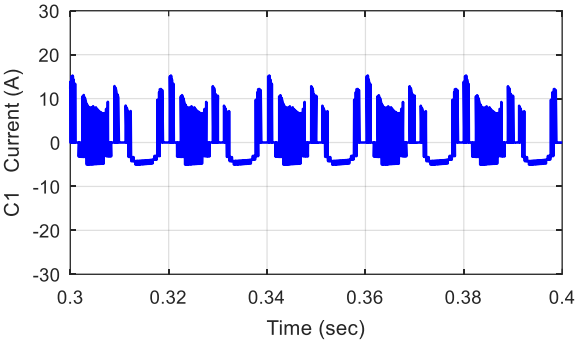
(ب) (الف)

(د) (ج)

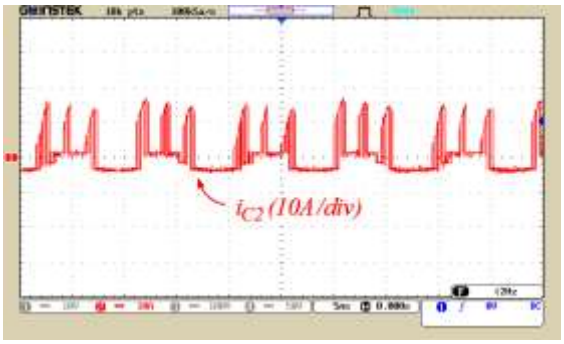
شکل (۱۲-الف)- شکل موج نتایج شبیه‌سازی ولتاژ خازن C_2 و ولتاژ سوئیچ S_5، (ب): شکل موج نتایج تجربی ولتاژ خازن C_2 و ولتاژ سوئیچ S_5، (ج): شکل موج نتایج شبیه‌سازی ولتاژ خازن C_3 و ولتاژ سوئیچ S_{11}، (د): شکل موج نتایج تجربی ولتاژ خازن C_3 و ولتاژ سوئیچ S_{11}



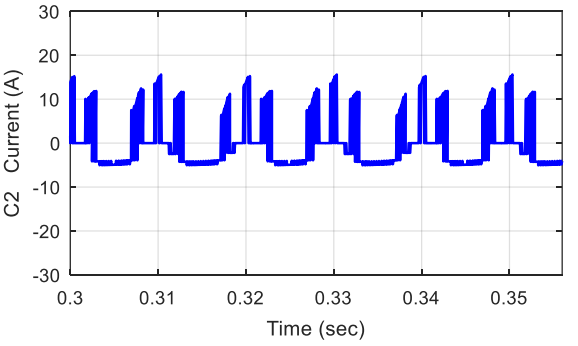
(ب)



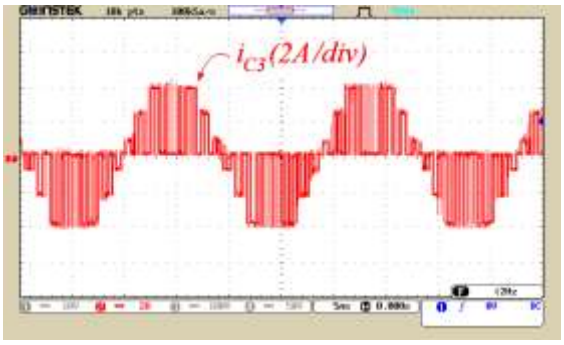
(الف)



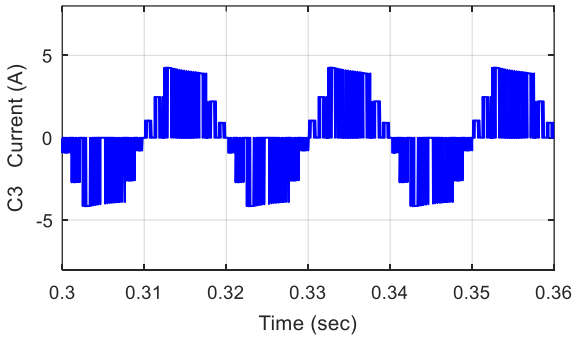
(د)



(ج)



(و)



(ه)

شکل (۱۳-الف)- نتایج شبیه‌سازی جریان خازن C_1، (ب): نتایج تجربی جریان خازن C_1، (ج): نتایج شبیه‌سازی جریان خازن C_2، (د): نتایج تجربی جریان خازن C_2، (ه): نتایج شبیه‌سازی جریان خازن C_3، (و): نتایج تجربی جریان خازن C_3

۶- نتیجه‌گیری

در این مقاله یک اینورتر ۱۳ سطحی با منبع dc واحد، ۱۱ سوئیچ و سه خازن پیشنهاد شده است. اینورتر پیشنهادی قابلیت تقویت ۳ برابری ولتاژ ورودی را در خروجی دارد. خازن‌های موجود در ساختار با روش اتصال سری/موازی با منبع ورودی دارای قابلیت تعادل خودکار می‌باشند. برای تولید پالس‌های کلیدزنی سوئیچ‌ها از یک روش مدولاسیون پهنای پالس شیفت سطح (LS-PWM) استفاده شده است. برتری‌های ساختار پیشنهادی با یک ارزیابی و تحلیل مقایسه‌ای با در نظر گرفتن پارامترهای مختلف تایید شده است. بنابراین، با توجه به نتایج این مقایسه می‌توان به مزایایی مانند تعداد سوئیچ کم، منبع dc واحد، عدم وجود دیود و هزینه کم ساختار پیشنهادی با توجه به هر دو تابع هزینه CF_1 و CF_2 اشاره کرد. همچنین قابل بیان است که ساختار پیشنهادی نسبت به ساختار مقایسه شده مرجع [۲۷] با ضریب وزنی ۰/۵ با توجه به تابع هزینه اول (CF_1) حداقل ۹ درصد و با توجه به تابع هزینه دوم (CF_2) حداقل ۱۳ درصد بهبود یافته است. در ضمن، برای تحلیل تلفات توان و راندمان ساختار پیشنهادی، یک مقایسه تلفاتی در محیط شبیه‌سازی اجرا شده است که برتری راندمان ساختار پیشنهادی را در مقایسه با ساختارهای مشابه تایید می‌کند. از آن جاییکه در ساختار پیشنهادی هیچ دیود مستقلی به

کار نرفته است، تلفات هدایتی مربوط به چنین دیودهایی وجود نخواهد داشت و ساختار پیشنهادی به راندمان بهتری در توان‌های متفاوت دست می‌یابد. تشابه نتایج شبیه‌سازی و پیاده‌سازی در شرایط مختلفی مانند تغییر بار و تغییر اندیس مدولاسیون صحت عملکرد ساختار پیشنهادی را نشان می‌دهد.

تعارض منافع

نویسندگان اعلام می‌کنند که در مورد انتشار این مقاله تعارض منافع وجود ندارد.

تاییدیه اخلاقی

نویسندگان متعهد می‌شوند که مطالب این مقاله را در هیچ مجله دیگری به چاپ نرسانده‌اند.

مشارکت‌های نویسندگان

معصومه درخشنده: تحقیق و گردآوری داده‌ها، نرم‌افزار و شبیه‌سازی، آنالیز و تحلیل نتایج، نگارش و تهیه پیشنویس اصلی

مجید حسین‌پور: تحلیل، اعتبارسنجی، بازبینی و ویرایش.

مهدی شاهپرستی: تحلیل، بازبینی و ویرایش.

منابع مالی

در این تحقیق، کمک مالی خاصی از هیچ سازمانی دریافت نشده است.

مراجع

[1] M. Sarebanzadeh, M.A. Hosseinzadeh, C. Garcia, E. Babaei, S. Islam, and J. Rodriguez. "Reduced switch multilevel inverter topologies for renewable energy sources." *IEEE Access* 9 (2021): 120580-120595.

[2] M.A. Hosseinzadeh, M. Sarebanzadeh, M. Rivera, E. Babaei, and P. Wheeler. "A reduced single-phase switched-diode cascaded multilevel inverter." *IEEE Journal of Emerging and Selected Topics in Power Electronics* 9, no. 3 (2020): 3556-3569.

[3] R. Barzegarkhoo, M. Moradzadeh, E. Zamiri, H. Madadi Kojabadi, and F. Blaabjerg. "A new boost switched-capacitor multilevel converter with reduced circuit devices." *IEEE Transactions on Power Electronics* 33, no. 8 (2017): 6738-6754.

[4] N. Sandeep, and U.R. Yaragatti. "A switched-capacitor-based multilevel inverter topology with reduced components." *IEEE Transactions on Power Electronics* 33, no. 7 (2017): 5538-5542.

[5] P.R. Bana, K.P. Panda, R.T. Naayagi, P. Siano, and G. Panda. "Recently developed reduced switch multilevel inverter for renewable energy integration and drives application: topologies, comprehensive analysis and comparative evaluation." *IEEE Access* 7 (2019): 54888-54909.

[6] M. Karimi, P. Kargar, and K. Varesi. "An extendable asymmetric boost multi-level inverter with self-balanced capacitors." *International Journal of Circuit Theory and Applications* 50, no. 4 (2022): 1297-1316.

[7] M.D. Siddique, S. Mekhilef, N. Mohamed Shah, N. Sandeep, J.S. Mohamed Ali, A. Iqbal, M. Ahmed et al. "A single DC source nine-level switched-capacitor boost inverter topology with reduced switch count." IEEE Access 8 (2019): 5840-5851.

[8] M.J. Sathik, K. Bhatnagar, N. Sandeep, and F. Blaabjerg. "An improved seven-level PUC inverter topology with voltage boosting." *IEEE Transactions on Circuits and Systems II: Express Briefs* 67, no. 1 (2019): 127-131.

[9] M.J. Sathik, N. Sandeep, D. Almakhles, and F. Blaabjerg. "Cross connected compact switched-capacitor multilevel inverter (C 3-SCMLI) topology with reduced switch count." *IEEE Transactions on Circuits and Systems II: Express Briefs* 67, no. 12 (2020): 3287-3291.

[10] R. Barzegarkhoo, M. Forouzesh, S.S. Lee, F. Blaabjerg, and Y.P. Siwakoti. "Switched-capacitor multilevel inverters: A comprehensive review." *IEEE Transactions on Power Electronics* 37, no. 9 (2022): 11209-11243.

[11] H. Khoun-Jahan, A. Mohammadpour Shotorbani, M. Abapour, K. Zare, S.H. Hosseini, F. Blaabjerg, and Y. Yang. "Switched capacitor based cascaded half-bridge multilevel inverter with voltage boosting feature." *CPSS Transactions on Power Electronics and Applications* 6, no. 1 (2021): 63-73.

[12] K.P. Panda, P.R. Bana, and G. Panda. "A reduced device count single DC hybrid switched-capacitor self-balanced inverter." *IEEE Transactions on Circuits and Systems II: Express Briefs* 68, no. 3 (2020): 978-982.

[13] S. Islam, M.D. Siddique, A. Iqbal, and S. Mekhilef. "A 9-and 13-level switched-capacitor-based multilevel inverter with enhanced self-balanced capacitor voltage capability." *IEEE Journal of Emerging and Selected Topics in Power Electronics* 10, no. 6 (2022): 7225-7237.

[14] T. Roy, P.K. Sadhu, and A. Dasgupta. "Cross-switched multilevel inverter using novel switched capacitor converters." *IEEE Transactions on Industrial Electronics* 66, no. 11 (2019): 8521-8532.

[15] V. Anand, and V. Singh. "A 13-level switched-capacitor multilevel inverter with single DC source." *IEEE Journal of Emerging and Selected Topics in Power Electronics* 10, no. 2 (2021): 1575-1586.

[16] T.T. Tran, M.K. Nguyen, T.D. Duong, Y.C. Lim, and J.H. Choi. "A switched-capacitor-based six-level inverter." *IEEE Transactions on Power Electronics* 37, no. 4 (2021): 4804-4816.

[17] Y. Ye, G. Zhang, X. Wang, Y. Yi, and K.W.E. Cheng. "Self-balanced switched-capacitor thirteen-level inverters with reduced capacitors count." *IEEE Transactions on Industrial Electronics* 69, no. 1 (2021): 1070-1076.

[18] N. Sandeep. "A 13-level switched-capacitor-based boosting inverter." *IEEE Transactions on Circuits and Systems II: Express Briefs* 68, no. 3 (2020): 998-1002.

[19] A. Sheir, M.Z. Youssef, and M. Orabi. "A novel bidirectional T-type multilevel inverter for electric vehicle applications." *IEEE Transactions on Power Electronics* 34, no. 7 (2018): 6648-6658.

[20] B.P. McGrath, and D.G. Holmes. "Multicarrier PWM strategies for multilevel inverters." *IEEE Transactions on Industrial Electronics* 49, no. 4 (2002): 858-867.

[21] H.R. Baghaee, A. Kashefi Kaviani, M. Mirsalim, and G.B. Gharehpetian. "Harmonic optimization in single DC source multi-level inverters using RBF neural networks." In *2012 3rd Power Electronics and Drive Systems Technology (PEDSTC)*, pp. 403-409. IEEE, 2012.

[22] S. Du, J. Liu, and T. Liu. "Modulation and closed-loop-based DC capacitor voltage control for MMC with fundamental switching frequency." *IEEE Transactions on Power Electronics* 30, no. 1 (2014): 327-338.

[23] M.D. Siddique, B.P. Reddy, A. Iqbal, and S. Mekhilef. "Reduced switch count-based N-level boost inverter topology for higher voltage gain." *IET Power Electronics* 13, no. 15 (2020): 3505-3509.

[24] H.K. Jahan, M. Abapour, and K. Zare. "Switched-capacitor-based single-source cascaded H-bridge multilevel inverter featuring boosting ability." *IEEE Transactions on Power Electronics* 34, no. 2 (2018): 1113-1124.

[25] H. Shayeghi, A. Seifi, M. Hosseinpour, and N. Bizon. "Developing a generalized multi-level inverter with reduced number of power electronics components." *Sustainability* 14, no. 9 (2022): 5545.

[26] A. Seifi, M. Hosseinpour, and S.H. Hosseini. "A novel bidirectional modular multilevel inverter utilizing diode-based bidirectional unit." *International Journal of Circuit Theory and Applications* 51, no. 7 (2023): 3226-3245.

[27] P. Bhatnagar, A.K. Singh, K.K. Gupta, and Y.P. Siwakoti. "A switched-capacitors-based 13-level inverter." *IEEE Transactions on Power Electronics* 37, no. 1 (2021): 644-658.

[28] S. Islam, M.D. Siddique, A. Iqbal, S. Mekhilef, and M. Al-Hitmi. "A switched capacitor-based 13-level inverter with reduced switch count." *IEEE Transactions on Industry Applications* 58, no. 6 (2022): 7373-7383.

[29] T. Roy, and P.K. Sadhu. "A step-up multilevel inverter topology using novel switched capacitor converters with reduced components." *IEEE Transactions on Industrial Electronics* 68, no. 1 (2020): 236-247.

[30] K.M. Kim, J.K. Han, and G.W. Moon. "A high step-up switched-capacitor 13-level inverter with reduced number of switches." *IEEE Transactions on Power Electronics* 36, no. 3 (2020): 2505-2509.

[31] K.P. Panda, P.R. Bana, and G. Panda. "A switched-capacitor self-balanced high-gain multilevel inverter employing a single DC source." *IEEE Transactions on Circuits and Systems II: Express Briefs* 67, no. 12 (2020): 3192-3196.