طراحی رجیستر فایل توان– پایین در فناوری ۹۰ نانومتر CMOS

محمد آسیایی[۱،*]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۵/۰۹/۲۶

پذیرش مقاله: ۱۳۹۶/۰۸/۲۱

واژگان کلیدی:

رجیستر فایل،

مدارهای دینامیکی،

خطوط بیت محلی و سراسری،

مصونیت در برابر نویز.

چکیده

عمده توان مصرفی در رجیستر فایل‌های سریع مربوط به مسیرهای خواندن است که با استفاده از مدارهای دینامیکی پیاده سازی می‌شوند. از این‌رو، یک تکنیک مداری جدید در این مقاله پیشنهاد می‌شود که بدون کاهش چشمگیر سرعت و مصونیت در برابر نویز، توان مصرفی رجیستر فایل‌ها را کاهش می‌دهد. در مدار دینامیکی پیشنهادی، شبکه پایین‌کش به چند شبکه کوچکتر تقسیم می‌شود تا عملکرد مدار افزایش یابد. همچنین شبکه‌های پایین‌کش با استفاده از ترانزیستورهای NMOS پیش بار می‌شوند تا دامنه نوسان ولتاژ و در نتیجه توان مصرفی کم شود. با استفاده از مدار پیشنهادی، یک رجیستر فایل با ۶۴ کلمه ۳۲ بیتی، دو پورت برای خواندن و یک پورت برای نوشتن پیاده سازی می‌شود. رجیستر فایلهای مورد مطالعه با استفاده از نرم افزار HSPICE در تکنولوژی ۹۰ نانومتر CMOS و با بکارگیری ترانزیستورهایی با ولتاژ آستانه کم شبیه سازی شدند. نتایج شبیه‌سازی برای رجیستر فایل‌ها نشان می‌دهند که تحت مصونیت در برابر نویز یکسان، توان مصرفی و تاخیر در رجیستر فایل پیشنهادی به ترتیب ۳۷٪ و ۳۶٪ نسبت به رجیستر فایل متداول کاهش یافته است.

۱- مقدمه

رجیستر فایلها یکی از حساس‌ترین ماژولها در مسیر بحرانی ریزپردازنده ها به حساب می‌آیند که به دفعات مورد استفاده قرار می‌گیرند [۱]. وظیفه رجیستر فایل‌ها، ذخیره‌سازی متغیرهای موقتی و میانی می‌باشد که در اجرای یک توالی از دستورات استفاده می‌شوند. به عنوان مثال، پردازنده پنتیوم ۴ اینتل شامل دو رجیستر فایل در مسیر داده (Integer RF و FP RF) می‌باشد [۲]. از آنجایی‌که با اجرای هر دستور، داده از رجیستر فایلها خوانده یا درون آنها نوشته می‌شود، طراحی رجیستر فایلهای سریع برای بالا بردن عملکرد ریزپردازنده ها در حین اجرای دستورات حیاتی می‌باشد [۳]. از سوی دیگر، هسته‌های اجرایی ریزپردازنده‌های سریع به رجیستر فایل‌هایی با تعداد پورت زیاد نیاز دارند تا دستورالعمل‌های مستقل را بطور موازی با استفاده از واحدهای اجرایی پردازش کنند. با استفاده از چنین رجیستر فایلهایی می‌توان مسیرهای داده چندین واحد پردازش را از لحاظ برداشت و ذخیره سازی داده پشتیبانی کرد.

با این وجود، رجیستر فایلها سهم قابل توجهی از توان مصرفی ریزپردازنده های سوپر اسکالر را به خود اختصاص می‌دهند به طوریکه تا ٪۳۷ از کل توان ریزپردازنده‌ها را مصرف می‌کنند [۴]. این سهم با افزایش اندازه و تعداد پورتهای رجیستر فایل‌ها در ریزپردازنده‌های جدید بیشتر نیز می‌شود. بنابراین رجیستر فایل‌ها یکی از مولفه‌های اصلی در توان مصرفی ریزپردازنده‌ها به حساب می‌آیند که توان تلفاتی آنها بطور شگرفی با نسلهای جدید تکنولوژی افزایش می‌یابد.

با توجه به متون علمی، سهم عمده‌ای (نزدیک به ٪۷۰) از توان دینامیکی رجیستر فایل‌ها مربوط به خطوط بیت محلی (LBL) و سراسری (GBL) در مسیر خواندن رجیستر فایل‌ها است [۱]. توان مصرفی خطوط بیت، عامل غالب در توان مصرفی رجیستر فایل‌ها به حساب می‌آید و

* پست الکترونیک نویسنده مسئول: m.asyaei@du.ac.ir

۱. استادیار، دانشکده فنی و مهندسی، دانشگاه دامغان

با افزایش اندازه و تعداد پورتهای رجیستر فایل‌ها به طور خطی زیاد می‌شود. از سوی دیگر با کوچک شدن اندازه افزاره‌ها در فناوریهای جدید، توان نشتی عامل مهمی در توان مصرفی می‌شود بطوریکه تا ۵۰٪ از کل توان مصرفی مربوط به توان نشتی می‌شود [۴]. خطوط بیت نیز بیش از ۶۰٪ از توان نشتی رجیستر فایل را به خود اختصاص می‌دهند [۵]. بنابراین برای کاهش توان مصرفی خطوط بیت باید به همه مولفه‌های توان مصرفی توجه داشت تا با کاهش توان مصرفی خطوط بیت، توان مصرفی رجیستر فایل‌ها و متعاقباً توان کلی ریزپردازنده‌ها کم شود.

خطوط بیت محلی و سراسری رجیستر فایل‌ها معمولاً با مدارهای دینامیکی پیاده سازی می‌شوند تا سرعت افزایش یابد. یکی از معروفترین مدارهای دینامیکی، مدار دومینو است که بطور گسترده در پیاده سازی خطوط بیت استفاده می‌شود. در مدار دومینو متداول از ترانزیستور نگهدارنده جهت استحکام مدار استفاده می‌شود.

در مدارهای دومینو، افزایش اندازه ترانزیستور نگهدارنده با فرض ثابت بودن اندازه ترانزیستورهای شبکه پایین کش، استحکام مدار را افزایش می‌دهد. از این رو نسبت نگهدارنده (K) به صورت زیر تعریف می‌شود [۶]:

$$K = \frac{\mu_p (\frac{W}{L})_{Keeper-transistor}}{\mu_n (\frac{W}{L})_{Pull-Down-Network}} \qquad (۱)$$

که W طول و L عرض ترانزیستور، μ_n و μ_p به‌ترتیب قابلیت تحرک الکترون و حفره می‌باشند. افزایش اندازه ترانزیستور نگهدارنده یک روش معمول جهت بهبود استحکام مدارهای دومینو می‌باشد. با این حال افزایش اندازه ترانزیستور نگهدارنده، تنازع بین ترانزیستور نگهدارنده و شبکه پایین کش را در فاز ارزیابی زیاد می‌کند که به نوبه خود باعث افزایش توان مصرفی و کاهش عملکرد مدار می‌گردد. بنابراین افزایش اندازه ترانزیستور نگهدارنده به منظور بهبود مصونیت در برابر نویز، مصالحه‌ای بین توان و تاخیر را به همراه خواهد داشت.

چندین مدار دینامیکی در متون علمی برای بهبود عملکرد و کاهش توان مصرفی خطوط بیت، پیشنهاد شده است که می‌توان از آنها برای تحقق خطوط بیت رجیستر فایل‌ها استفاده کرد [۷-۱۳]. با این حال کاهش توان معمولاً همراه با افزایش تأخیر یا کاهش مصونیت در برابر نویز می‌باشد.

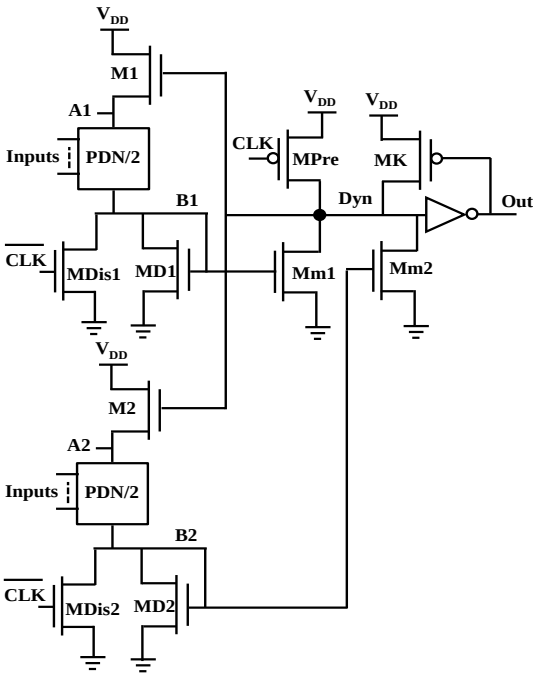
بنابراین مداری مناسب است که با بکارگیری آن در پیاده سازی خطوط بیت کاهش بیشتری در تاخیر و توان مصرفی حاصل شود بدون آنکه مصونیت در برابر نویز کاهش چشمگیری داشته باشد.

در این مقاله مدار دینامیکی پیشنهاد می‌شود که با بکارگیری آن در پیاده‌سازی خطوط بیت، تاخیر و توان مصرفی رجیستر فایلها کم می‌شود. یک رجیستر فایل دو کیلو بیتی با استفاده از مدار دینامیکی پیشنهادی طراحی می‌شود که مزیت عمده آن توان مصرفی و تاخیر کمتر نسبت به رجیستر فایل متداول است.

ساختار مقاله به این صورت است که در بخش ۲ مدار دینامیکی پیشنهادی معرفی می‌گردد و در ادامه رجیستر فایل توان- پایین در بخش ۳ توصیف می‌شود. سپس نتایج شبیه سازیها و مقایسه نتایج در بخش ۴ بررسی می‌شوند. در نهایت در بخش ۵ نتیجه گیری و جمع بندی صورت می‌گیرد.

۲- مدار دینامیکی پیشنهادی

مدار دینامیکی پیشنهادی در شکل (۱) و شکل موج‌های مربوط به آن در شکل (۲) نشان داده شده است. در مدار پیشنهادی، شبکه پایین‌کش به دو شبکه کوچکتر تقسیم شده است تا بتوان گیتهای عریض را براحتی و بدون افزایش تاخیر یا نیاز به گیت اضافی نسبت به دومینو متداول پیاده سازی نمود.



شکل ۱- مدار دینامیکی پیشنهادی

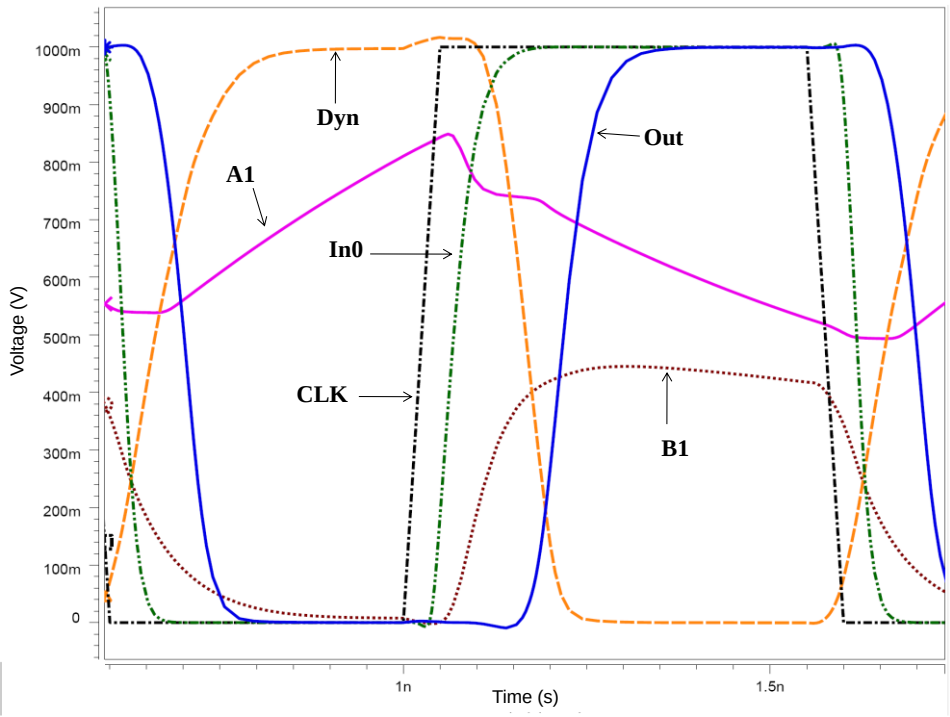
با توجه به شکل (۱)، شبکه پایین‌کش در مدار پیشنهادی به دو قسمت تقسیم شده است. باید توجه داشت که اگرچه می‌توان شبکه پایین‌کش را به شبکه‌های کوچکتری تقسیم کرد، اما افزایش تعداد تقسیمات، باعث افزایش تعداد ترانزیستور و سطح مصرفی مدار می‌گردد. همچنین به دلیل اتصال شاخه‌های موازی بیشتر به گره دینامیکی، تاخیر و توان مصرفی به ازای مصونیت در برابر نویز معین افزایش می‌یابد. بنابراین تقسیمات می‌تواند بیشتر هم باشد اما حداکثر آن بوسیله پارامترهای مورد نظر در طراحی مانند مصونیت در برابر نویز و عملکرد مدار تعیین می‌شود.

در واقع مدار پیشنهادی از دو طبقه تشکیل شده است که طبقه اول آن، شبکه های پایین‌کش و طبقه دوم، گیت **OR** را پیاده سازی می‌کند.

در مدار پیشنهادی برخلاف مدار دومینو متداول، از ولتاژ گره‌های پایینی شبکه های پایین کش (B_1 و B_2) بعنوان ورودی گیت **OR** دینامیکی استفاده شده است. به دلیل اینکه حداکثر ولتاژ گره‌های B_1 و B_2 از ولتاژ تغذیه کمتر است، نمی توان از گیت **OR** استاتیکی استفاده کرد. در حقیقت جریان شبکه‌های پایین کش اهمیت دارد و نه ولتاژ آنها. بنابراین با آینه‌شدن جریان شبکه‌های پایین‌کش، خروجی مناسب تولید می‌شود. توجه به این نکته ضروری است که افزایش استحکام و مصونیت در برابر نویز مدار پیشنهادی عمدتا به دلیل استفاده از ترانزیستور در حالت دیودی است حال آنکه کاهش تاخیر بدلیل استفاده از آینه جریان می‌باشد.

با توجه به شکل (۱) ، ویژگی‌های مدار دینامیکی پیشنهادی به‌شرح ذیل می‌باشد.

- ولتاژ آستانه ترانزیستورهای شبکه پایین‌کش بدلیل اتصال سورس آنها به گیت ترانزیستورهای حالت دیودی M_{D1} و M_{D2} و اثر بدنه افزایش می‌یابد. بدین ترتیب جریان نشتی زیرآستانه و در نتیجه توان نشتی مدار بدلیل اثر پشته کم می‌شود [۱۴]. کاهش جریان نشتی نیز باعث افزایش مصونیت در برابر نویز گیتها می‌شود بطوریکه ولتاژ آستانه سوئیچینگ مدار حدود دو برابر ولتاژ آستانه ترانزیستورهای شبکه پایین‌کش (یعنی $2V_{thn}$) می‌گردد [۱۰]. بدلیل مصونیت در برابر نویز بالای مدار پیشنهادی، می‌توان از ترانزیستورهایی با ولتاژ آستانه پایین برای بهبود عملکرد خطوط بیت استفاده نمود. همچنین می‌توان تعداد شاخه های موازی در هر شبکه پایین‌کش را افزایش داد تا تعداد تقسیمات در مدار پیشنهادی کمتر شود. این در حالی است که در مدار دینامیکی متداول، برای حفظ عملکرد و استحکام مدار تعداد محدودی شاخه موازی می‌توان داشت [۹].



شکل ۲- شکل موج بعضی از گره های مدار دینامیکی پیشنهادی

- نگهدارنده‌های شبکه های پایین‌کش ($\mathbf{M_{K1}}$ و $\mathbf{M_{K2}}$)، از نوع ترانزیستورهای **NMOS** (بجای نوع **PMOS** در مدارهای متداول) می‌باشند. بدین ترتیب گیت این ترانزیستورها به جای اینکه به گره خروجی وصل شود به گره دینامیکی **Dyn** وصل می‌شود. در نتیجه ضمن کاهش بار خازنی گره خروجی، حداکثر دامنه ولتاژ گره های بالایی شبکه‌های پایین‌کش ($\mathbf{A_1}$ و $\mathbf{A_2}$) به اندازه ولتاژ آستانه این ترانزیستورها کمتر می‌شود یعنی به جای $\mathbf{V_{DD}}$ به $\mathbf{V_{DD}-V_{thn}}$ کاهش می‌یابد.

از آنجاییکه ترانزیستورهای **NMOS** مساحت کمتری را نسبت به نوع **PMOS** اشغال می‌کنند، مساحت مصرفی نیز کم می‌شود. باید توجه داشت در مدار دومینو متداول امکان چنین کاری وجود ندارد زیرا توان و تاخیر افزایش می‌یابد. بنابراین کاهش توان سوئیچینگ بدلیل کاهش نوسان ولتاژ و نیز بزرگ بودن ظرفیت خازنی گره‌های $\mathbf{A_1}$ و $\mathbf{A_2}$ قابل توجه خواهد بود. برای اینکه کاهش توان مصرفی در مدار پیشنهادی بهتر درک شود باید به رابطه توان مصرفی در مدارهای دینامیکی توجه کرد که از رابطه زیر بدست می‌آید [۱۵].

$$P_{Avg/gate} = P_{Switching} + P_{Short-circuit} + P_{Leakage} \quad (۲)$$

که $P_{Switching}$ بیانگر توان سوئیچینگ، $P_{Short-circuit}$ توان اتصال کوتاه و $P_{leakage}$ توان نشتی می‌باشد.

توان سوئیچینگ که ناشی از شارژ و دشارژ خازنهای مدار است در مدار دینامیکی متداول از رابطه زیر بدست می‌آید.

$$P_{Switching-Conv.} = \Pr\{1\} C_{SW} V_{Swing} V_{DD} f_{Clk} \quad (۳)$$

$$= \Pr\{1\} C_{SW} V_{DD}^2 f_{Clk} \quad (۴)$$

که در آن C_{SW} مجموع ظرفیت خازنی گره‌های مدار، V_{Swing} دامنه نوسان ولتاژ، f_{Clk} فرکانس ساعت و $Pr\{1\}$ احتمال رخداد گذر از سطح صفر به یک است. این مؤلفه توان مصرفی هنگامی به‌وجود می‌آید که بارهای خازنی مدار از طریق ترانزیستورهای **PMOS** با گذر از سطح صفر به یک شارژ می‌شوند.

توان سوئیچینگ در مدار پیشنهادی با توجه به کاهش دامنه نوسان ولتاژ برابر خواهد بود با:

$$P_{Switching-Proposed} = \Pr\{1\}(C_{A1} + C_{A2}) V_S V_{DD} f_{Clk} + \Pr\{1\} C_{Dyn} V_{DD}^2 f_{Clk} \quad (۵)$$

که C_{A1}، C_{A2} و C_{Dyn} به ترتیب ظرفیت خازنی مربوط به گره های A_1، A_2 و Dyn می‌باشند. همچنین V_S دامنه نوسان ولتاژ روی گره های A_1 و A_2 است. حداکثر مقدار ولتاژ این گره ها برابر $V_{DD}-V_{thn}$ است که V_{thn} ولتاژ آستانه ترانزیستورهای M_1 و M_2 می‌باشد که بدلیل اثر بدنه از ولتاژ آستانه ترانزیستورهای NMOS معمول بیشتر است. حداقل ولتاژ گره های A_1 و A_2 نیز برابر با ولتاژ آستانه ترانزیستورهای M_{D1} و M_{D2} می‌باشد.

بدلیل اینکه ظرفیت خازنی مربوط به گره های A_1 و A_2 از ظرفیت خازنی گره Dyn بیشتر است می‌توان رابطه ۵ را بصورت زیر تقریب زد.

$$P_{Switching-Proposed} \approx \Pr\{1\}(C_{A1} + C_{A2}) V_S V_{DD} f_{Clk} \quad (۶)$$

با فرض یکسان بودن مجموع تعداد شاخه های شبکه پایین‌کش در مدار پیشنهادی و مدار متداول ($C_{A1} + C_{A2} = C_{Dyn}$) و با در نظر گرفتن روابط فوق، نسبت توان سوئیچینگ مدار پیشنهادی به توان مدار دینامیکی متداول برابر خواهد شد با:

$$\frac{P_{Switching-Proposed}}{P_{Switching-Conv.}} \approx \frac{V_S}{V_{DD}} \quad (۷)$$

بنابراین کاهش توان مصرفی مدار پیشنهادی در مقایسه با مدار دومینو متداول برابر با $1-\frac{V_S}{V_{DD}}$ می‌باشد.

با توجه به اینکه در مدار پیشنهادی دامنه نوسان ولتاژ گره‌های A_1 و A_2 (V_S) کمتر از ولتاژ تغذیه است، توان سوئیچینگ مدار پیشنهادی کم می‌شود. در واقع کاهش توان بعلت ارتباط مستقیم توان سوئیچینگ گیتهای منطقی با دامنه نوسان ولتاژ گره‌های دینامیکی است.

همچنین جهت کاهش توان نشتی ($P_{leakage}$) در مدار پیشنهادی، از ترانزیستورهایی با اتصال دیودی (M_{D1} و M_{D2}) استفاده شده است تا جریان نشتی زیر آستانه ترانزیستورهای شبکه پایین‌کش کم شود. جریان زیر آستانه در فناوری‌های مدرن که جریان نشتی غالب است از رابطه

زیر محاسبه می‌شود [۱۶].

$$I_{sub} = I_0(1-e^{\frac{-V_{DS}}{V_t}})e^{(\frac{V_{GS}-V_{th}+\eta V_{DS}}{nV_t})} \quad (۸)$$

و I_0 برابر است با:

$$I_0 = \mu_0 C_{OX}\frac{W}{L}(n-1)V_t^2 \quad (۹)$$

که V_{GS} ولتاژ گیت– سورس، V_{DS} ولتاژ درین– سورس، n ثابت ضریب نوسان[1] زیرآستانه و تابعی از فرآیند ساخت بوده، V_{th} ولتاژ آستانه، V_t ولتاژ حرارتی (KT/q)، η ضریب کاهش سد بوسیله درین[2] (DIBL)، μ_0 قابلیت تحرک در بایاس صفر، C_{OX} ظرفیت خازنی اکسید گیت، W و L هم به ترتیب عرض و طول ترانزیستور می‌باشند.

هنگامیکه همه ترانزیستورهای شبکه پایین‌کش خاموش می‌باشند در اثر جریان نشتی شبکه پایین‌کش، دو سر ترانزیستورهای M_{D1} و M_{D2} ولتاژی ایجاد می‌شود. این ولتاژ ناشی از اتصال دیودی این ترانزیستورها است که در آنها ولتاژ گیت– سورس مساوی با ولتاژ درین– سورس می‌باشد. ولتاژ ایجاد شده به دلایل زیر باعث کاهش جریان نشتی زیر آستانه می‌شود. اول آنکه، این ولتاژ باعث افزایش ولتاژ سورس– بدنه ترانزیستورهای شبکه پایین‌کش و در نتیجه افزایش ولتاژ آستانه آنها به علت اثر بدنه[3] می‌شود. بنابراین ولتاژ آستانه ترانزیستورهای شبکه‌های پایین‌کش با توجه به معادله زیر افزایش می‌یابد.

$$V_{th} = V_{th0} + \gamma(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s}) \quad (۱۰)$$

که در آن V_{sb} ولتاژ سورس- بدنه، $\phi_s = 2\nu_T \ln\frac{N_A}{n_i}$ پتانسیل سطحی و γ ضریب اثر بدنه است [۱۷]. با توجه به معادله (۸) جریان نشتی زیر آستانه با افزایش ولتاژ آستانه ترانزیستورهای شبکه های پایین‌کش بطور نمایی کاهش می‌یابد. دلیل دوم این است که ولتاژ گیت– سورس ترانزیستورهای شبکه های پایین‌کش بعلت این افت ولتاژ منفی می‌گردد که با توجه به معادله (۸) باعث کاهش جریان زیرآستانه می‌شود. دلیل سوم آنکه این افت ولتاژ، ولتاژ درین– سورس را کم و اثر DIBL ترانزیستورهای شبکه پایین‌کش را کاهش می‌دهد. بنابراین با استفاده از ترانزیستورهایی با اتصال دیودی، توان نشتی مدار پیشنهادی کاهش می‌یابد و الزامات مربوط به استحکام بالا را برآورده می‌سازد.

باید توجه داشت که اگرچه توان مصرفی مدار پیشنهادی با کاهش دامنه نوسان ولتاژ و کاهش جریان نشتی بطور چشمگیری کم می‌شود اما در عوض بدلیل افزایش ولتاژ آستانه ترانزیستورهای شبکه پایین‌کش، تاخیر افزایش می‌یابد که باید با استفاده از ترانزیستورهای آینه جریان M_{m1} و M_{m2} جبران شود. به همین علت چون نسبت اندازه ترانزیستورهای مدار آینه جریان M_{D1} و M_{m1} (همینطور M_{D2} و M_{m2}) روی تاخیر، توان مصرفی و استحکام مدار تاثیر دارد، نسبت آینه جریان M به صورت زیر تعریف می‌شود.

$$M = \frac{\left(\frac{W}{L}\right)_{Mm1,Mm2}}{\left(\frac{W}{L}\right)_{MD1,MD2}} \quad (۱۱)$$

بدین ترتیب با تغییر M می‌توان به پارامترهای دلخواه رسید بطوریکه افزایش M باعث افزایش سرعت و کاهش استحکام مدار می‌گردد و بالعکس. باید توجه داشت که جهت تقارن، اندازه ترانزیستورهای متناظر در دو مدار سمت چپ در شکل (۱) با هم برابر می‌باشند.

با توجه به مدار پیشنهادی در شکل (۱)، جزئیات دو فاز کاری مدار به شرح ذیل می‌باشد. در فاز پیش‌بار، سیگنال ساعت در سطح پایین قرار دارد ($CLK = '0', \overline{CLK} = '1'$). بنابراین گره‌های B_1 و B_2 به ترتیب توسط ترانزیستورهای M_{Dis1} و M_{Dis2} به سطح صفر دشارژ می‌گردند و گره‌های A_1 و A_2 به ترتیب توسط ترانزیستورهای M_1 و M_2 تا سطح V_{DD}-V_{thn} شارژ می‌شوند. گره Dyn نیز بوسیله ترانزیستور M_{Pre} تا V_{DD} شارژ و ولتاژ خروجی (Out) توسط معکوس کننده خروجی تا سطح صفر دشارژ می‌شود.

در فاز ارزیابی، سیگنال ساعت در سطح بالا قرار دارد ($CLK = '1', \overline{CLK} = '0'$). بنابراین ترانزیستورهای M_{Pre}، M_{Dis1} و M_{Dis2} خاموش و سایر ترانزیستورهای مدار با توجه به سطح ولتاژ سیگنالهای ورودی می‌توانند خاموش یا روشن باشند. بنابراین در فاز ارزیابی ممکن است دو حالت

[1] swing
[2] Drain-Induced Barrier Lowering
[3] body effect

متفاوت رخ دهد. ۱) همه سیگنالهای ورودی در سطح پایین باقی بمانند. ۲) در اثر اعمال سیگنالهای ورودی مناسب، حداقل یک مسیر هدایت در شبکه های پایین‌کش ایجاد شود. در حالت اول، در اثر جریان نشتی ولتاژ کمی دو سر ترانزیستور M_{D1} و M_{D2} ایجاد می‌شود. اگرچه جریان نشتی شبکه های پایین‌کش بوسیله ترانزیستورهای M_{m1} و M_{m2} آینه می‌شود اما با استفاده از ترانزیستور نگهدارنده طبقه دوم (M_K) جبران می‌شود.

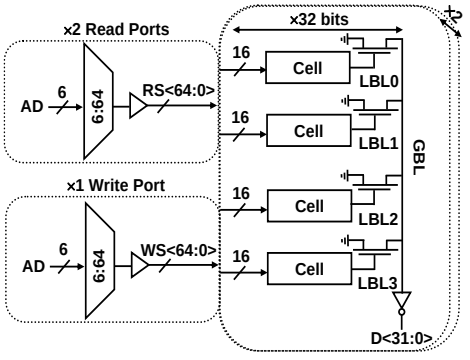
در حالت دوم که حداقل یک مسیر هدایت وجود دارد، جریان شبکه پایین‌کش زیاد شده و ولتاژ یکی از گره‌های **B_1** یا **B_2** (بعنوان مثال **B_1**) افزایش می‌یابد. این ولتاژ که مساوی با ولتاژ درین– سورس ترانزیستور **M_{D1}** نیز می‌باشد وابسته به اندازه و جریان این ترانزیستور است. افزایش جریان شبکه پایین‌کش باعث افزایش جریان آینه شده در ترانزیستور **M_{m1}** می‌شود. در نتیجه ولتاژ گره **Dyn** تا سطح صفر دشارژ و ولتاژ گره خروجی (**Out**) تا **V_{DD}** شارژ می‌گردد.

۳- رجیستر فایل توان- پایین

از مدار پیشنهادی جهت پیاده‌سازی یک رجیستر فایل دو کیلو بیتی استفاده شده است تا قابلیت آن در کاهش توان و تاخیر تحت مصونیت در برابر نویز معین مورد ارزیابی قرار گیرد. پیکربندی یک رجیستر فایل ۲kb با ۶۴ کلمه ۳۲ بیتی که ۲ پورت برای خواندن و ۱ پورت برای نوشتن دارد، در شکل (۳) نشان داده شده است. مطابق شکل (۳)، ۶ بیت آدرس خواندن و نوشتن به ازای هر پورت دیکد می‌شوند تا بتوان ۶۴ رجیستر را آدرس دهی کرد. دیکدرهای ۶ به ۶۴ با استفاده از منطق CMOS ایستا و دو طبقه از گیتهای NOR دو ورودی و NAND سه ورودی طراحی می‌شوند تا نهایتا سیگنالهای انتخاب خواندن (RS) و نوشتن (WS) رجیسترها تولید شوند [۱۸].

زنجیره‌ای از معکوس‌کننده‌ها با FO4 برای بافرها و درایورها استفاده شدند تا بتوانند بارهای خازنی بزرگ را راه اندازی کنند. مطابق شکل (۴)، از ۶۴ بافر دینامیکی در هر پورت برای درایو سیگنالهای دیکد شده خواندن/ نوشتن و توزیع آنها بین ۳۲ بیت در هر یک از ۶۴ کلمه موجود در رجیستر فایل، استفاده شده است.

مدار مربوط به یک سلول از رجیستر فایل در شکل (۵) نشان داده شده است که با استفاده از ۱۱ ترانزیستور پیاده سازی می‌شود. هر سلول ذخیره سازی متشکل از دو معکوس کننده بوده و در هر طرف آن یک پورت خواندن قرار داده شده است تا با ایجاد تقارن و بار خازنی یکسان پایداری بهینه ای هنگام نوشتن در سلول ایجاد شود [۱]. با استفاده از یک ترانزیستور گذر از نوع NMOS، مکمل داده ورودی در هر سلول ایجاد می‌شود بدون آنکه به معکوس کننده دیگری نیاز باشد.



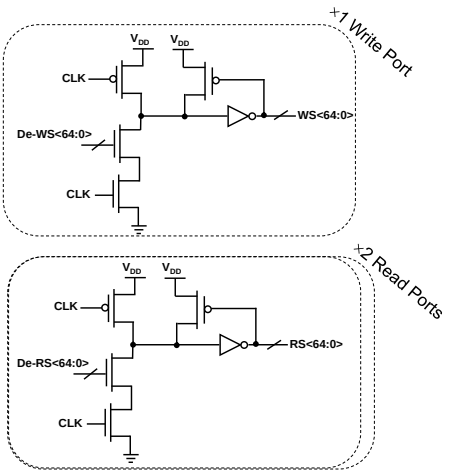
شکل ۳- ساختار رجیستر فایل با ۶۴ کلمه ۳۲ بیتی (۲kb)

برای طراحی مدار خط بیت محلی (LBL) و سراسری (GBL) در رجیسترهای متداول از دومینو متداول استفاده می‌شود که به ترتیب در شکل (۶ الف و ب) نشان داده شده‌اند. برای خواندن داده‌ها از یکی از ۶۴ کلمه، به ۴ مدار خط بیت محلی مشابه شکل (۶ الف) برای هر پورت خواندن نیاز است که با گیتهای AND-OR ۱۶ ورودی پیاده سازی می‌شوند. به همین دلیل مدار تولید خط بیت سراسری نیز یک گیت OR با ۴ ورودی می‌باشد (شکل ۶ ب).

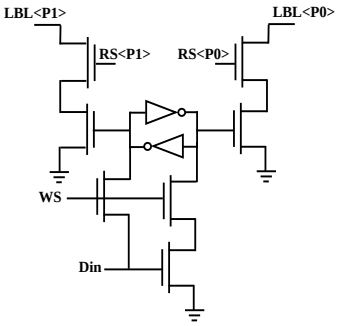
از آنجاییکه مدارهای خط بیت محلی و سراسری، ۳۲ بیت داده را به ازای هر پورت خواندن از سلول‌ها تولید می‌کنند، در مجموع به ۲۵۶ گیت AND-OR ۱۶ ورودی نیاز است. همچنین تعداد گیت‌های OR ۴ ورودی برابر با ۶۴ عدد می‌باشد. بنابراین تعداد قابل توجهی گیت دینامیکی در این رجیستر فایل وجود دارد که در صورت افزایش تعداد پورتها، کلمه ها و یا بیتها بیشتر نیز خواهد شد و نقش اساسی در توان مصرفی رجیستر فایلها ایفا خواهند کرد.

دینامیکی در این رجیستر فایل وجود دارد که در صورت افزایش تعداد پورتها، کلمه ها و یا بیتها بیشتر نیز خواهد شد و نقش اساسی در توان مصرفی رجیستر فایلها ایفا خواهند کرد.

پیاده سازی خطوط بیت در رجیستر فایل پیشنهادی در شکل (۷) نشان داده شده است. برای انتخاب یکی از ۶۴ کلمه در این تکنیک مداری، سیگنالهای LBL1 و LBL2 با دو شبکه پایین‌کش با ۳۲ شاخه موازی تولید می‌شود.



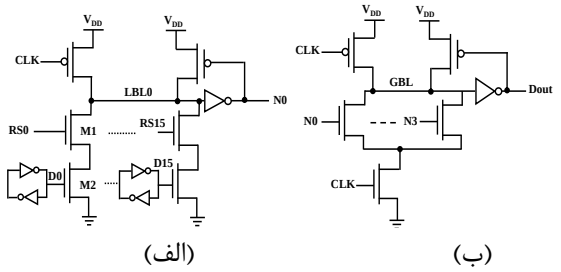
شکل ۴- پیاده سازی درایورهای سیگنالهای انتخاب خواندن و نوشتن



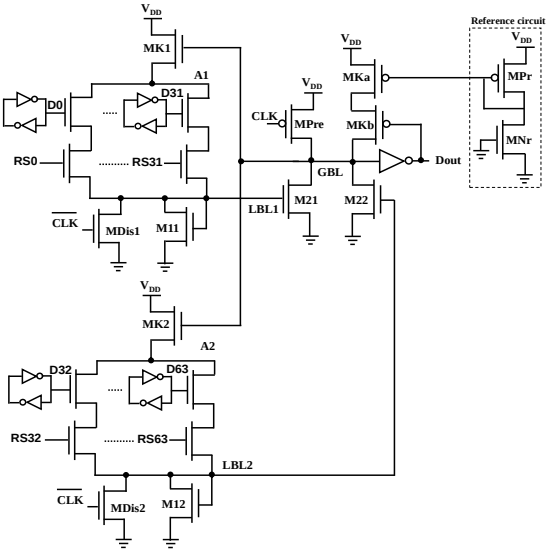
شکل ۵- سلول متقارن یک بیت از رجیستر فایل

سپس با یک گیت OR دو ورودی GBL و داده خروجی بدست می‌آید. اگرچه می‌توان تعداد شبکه‌ها را بیشتر نمود اما در عوض مساحت مصرفی افزایش می‌یابد. بنابراین با استفاده از مدار دینامیکی پیشنهادی، مدارهای خط بیت محلی و سراسری ساده تر می‌شوند بطوریکه نسبت به خطوط بیت متداول، ۴ معکوس‌کننده مربوط به مدار خط بیت محلی به ازای هر بیت در هر پورت و در مجموع ۶۴ معکوس کننده حذف می‌شود. این مزیت بدان علت است که در مدار پیشنهادی برعکس مدار دومینو متداول می‌توان تعداد شاخه‌های موازی بیشتری در شبکه پایین‌کش داشت چراکه نیازی به صفر شدن گره‌های دینامیکی A_1 و A_2 نیست و صرفا جریان شبکه پایین‌کش اهمیت دارد. بنابراین عملکرد رجیستر فایل افزایش، مساحت و توان مصرفی کاهش می‌یابد.

جهت کاهش تنازع بین ترانزیستورهای نگهدارنده و ترانزیستورهای M_{21} و M_{22} در مدار شکل (۷)، از دو ترانزیستور M_{Ka} و M_{Kb} به عنوان ترانزیستورهای نگهدارنده طبقه دوم استفاده شده است (به جای ترانزیستور نگهدارنده (M_K) در شکل ۱). بدین ترتیب با کاهش تنازع، تاخیر و توان مصرفی کم شود [۹]. برای این منظور لازم است جریان ترانزیستور M_{Ka} با جریان نشتی آینه شده شبکه های پایین‌کش برابر باشد. این کار با استفاده از یک مدار مرجع انجام می‌شود که مطابق شکل (۷)، از دو ترانزیستور M_{Nr} و M_{Pr} تشکیل شده است. این مدار جهت ایجاد المثنی جریان نشتی شبکه‌های پایین کش در بدترین حالت استفاده شده است تا بطور صحیحی تغییرات جریان نشتی ناشی از تغییرات فرآیند را دنبال کند.



شکل ۶- استفاده از دومینو متداول برای پیاده سازی (الف) خط بیت محلی (LBL) و (ب) خط بیت سراسری (GBL)



شکل ۷- مدار خط بیت در رجیستر فایل پیشنهادی

۴- نتایج شبیه‌سازی

رجیستر فایل متداول و رجیستر فایل پیشنهادی با استفاده از نرم‌افزار HSPICE و مدل فنّاوری90nm CMOS با ترانزیستورهای دارای ولتاژ آستانه پایین (LVT) و ولتاژ تغذیه ۱V شبیه‌سازی شدند. دمای کاری ۱۱۰ $^{\circ}C$ انتخاب شده است زیرا نوعا دمای نقطه داغ[1] در ریزپردازنده‌های

[1] hot-spot

مدرن $110\ ^{\circ}C$ می‌باشد [۱۹]. شکل موجهای مربوط به رجیستر فایل پیشنهادی در شکل (۸) نشان داده شده است. برای اندازه‌گیری عملکرد رجیستر فایلها، تاخیر مسیر خواندن که شامل تأخیرهای خطوط بیت محلی و سراسری است اندازه‌گیری می‌شود. برای این منظور، تأخیر بین سیگنال انتخاب خواندن تا سیگنال خروجی اندازه‌گیری می‌شود.

رجیستر فایلها به گونه ای طراحی شدند که مصونیت در برابر نویز آنها در همه گوشه های فرآیند، حداقل ۳۰٪ ولتاژ تغذیه باشد. تاخیر و توان مصرفی نیز تحت همین شرایط اندازه گیری می‌شوند.

معمولاً برای اندازه‌گیری مصونیت در برابر نویز مدارها از بهره نویز واحد (UNG) استفاده می‌شود که طبق تعریف برابر است با دامنه ولتاژ نویز ورودی که باعث می‌گردد نویز با دامنه ولتاژ یکسانی در خروجی ظاهر شود [۲۰]. این معیار به‌صورت زیر بیان می‌شود:

$$UNG = \{V_{in} : V_{noise} = V_{output}\} \qquad (۱۲)$$

چون عرض پالس نویز ورودی و خروجی ممکن است باهم متفاوت باشند، به همین دلیل از متوسط نویز واحد (UNA) جهت بررسی مصونیت در برابر نویز مدارها استفاده شده است که برابر است با دامنه ولتاژ نویز ورودی که باعث می‌گردد متوسط ولتاژ نویز خروجی برابر با متوسط ولتاژ نویز ورودی شود. UNA به‌صورت زیر تعریف می‌شود [۱۲]:

$$UNA = \{V_{in} : \mathrm{Vnoise}_{Avg} = \mathrm{Voutput}_{Avg}\} \qquad (۱۳)$$

برای اندازه‌گیری مصونیت در برابر نویز گیتهای AND-OR در بدترین حالت ممکن، گیت یکی از ترانزیستورهای سری در هر شاخه از شبکه پایین‌کش به V_{DD} و دیگری به پالس نویزی وصل می‌شود. با اعمال پالسهای نویزی به ورودیها، عرض ترانزیستورها به شرح ذیل تعیین می‌شوند تا مصونیت در برابر نویز مورد نظر بدست آید.

کمترین مقدار برای عرض ترانزیستورها برابر با $W_{\min} = 3L_{\min}$ قرار داده شده است که L_{min} هم برابر با ۹۰nm می‌باشد. عرض ترانزیستورهای شبکه پایین‌کش نیز دو برابر این مقدار است. نسبت عرض ترانزیستورهای PMOS به NMOS در معکوس‌کننده‌ها برابر با ۲ ($\frac{6L_{\min}}{3L_{\min}}$) می‌باشد. طول و عرض سایر ترانزیستورها نیز برابر با مقادیر حداقل قرار داده شده است.

اندازه ترانزیستور نگهدارنده در مدار دومینو متداول، از ۰/۱ تا ۱ برابر اندازه ترانزیستورهای شبکه پایین‌کش افزایش داده می‌شود (افزایش نسبت K در معادله (۱)) تا مصونیت در برابر نویز مطلوب بدست آید.

در مدار پیشنهادی جهت رسیدن به مصونیت در برابر نویز موردنظر، نسبت آینه جریان (M در معادله (۱۱)) با تغییر عرض ترانزیستورهای M_{21} و M_{22} تغییر داده می‌شود. واضح است که کاهش اندازه این ترانزیستورها و کاهش M، مصونیت در برابر نویز را افزایش می‌دهد اما سرعت را کم می‌کند.

عرض ترانزیستورهای مدار مرجع طوری انتخاب می‌شوند که جریان نشتی آنها معادل با جریان نشتی گیت AND-OR با ۶۴ ورودی شود. برای رسیدن به مصونیت در برابر نویز مطلوب می‌توان عرض ترانزیستور M_{Ka} را تغییر داد. باید توجه داشت اگرچه افزایش عرض ترانزیستور M_{Ka} باعث افزایش مصونیت در برابر نویز می‌شود اما موجب ازدیاد تأخیر و توان مصرفی نیز می‌گردد.

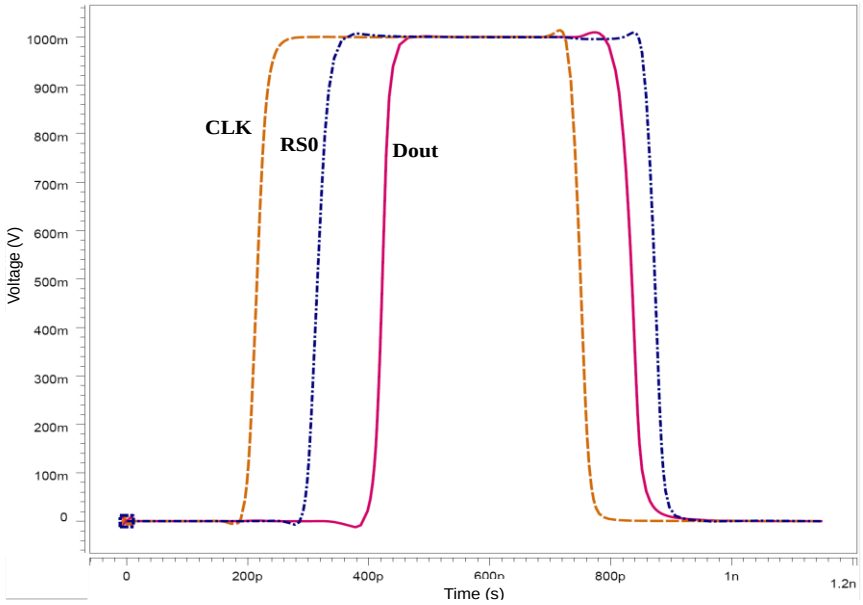
۴-۱- معیار شایستگی

به‌منظور مقایسه منصفانه رجیستر فایل پیشنهادی با رجیستر فایل متداول باید همزمان پارامترهای نویز، تأخیر، توان و سطح مصرفی در نظر گرفته شود. برای این منظور می‌توان از معیار شایستگی (FOM) زیر استفاده نمود [۲۱].

$$FOM = \frac{UNA_{norm}}{P_{tot-norm} \times t^2_{P-norm} \times A_{norm}} \qquad (۱۴)$$

که UNA_{norm}، $P_{tot\text{-}norm}$، $t_{P\text{-}norm}$ و A_{norm} به‌ترتیب متوسط نویز واحد، متوسط توان مصرفی، تأخیر انتشار و سطح مصرفی مدار می‌باشند. هر کدام از پارامترها به پارامترهای مربوط به رجیستر فایل متداول نرمالیزه می‌شوند. از آنجایی‌که یکی از پارامترهای مهم طراحی، حاصلضرب انرژی در تاخیر است که مساوی با $P_{avg} \times t_P^2$ می باشد [۱۵]، به همین دلیل پارامتر تاخیر انتشاری در رابطه مربوط به FOM به توان دوم رسیده است.

در جدول ۱، FOM رجیستر فایلهای مورد بررسی نشان داده شده است. در این جدول، تعداد ترانزیستورهای مورد استفاده، سطح مصرفی تخمینی، توان تلفاتی و تاخیر انتشاری هر طرح به همراه UNA و FOM فهرست شده‌اند. بدلیل اینکه تعداد ترانزیستورها در رجیستر فایلها زیاد است و همچنین فقط مدار خطوط بیت رجیستر فایلها



شکل ۸- شکل موجهای مربوط به رجیستر فایل پیشنهادی

در طرحهای مختلف تغییر می‌کند. بنابراین فقط مساحت مدارهای خط بیت محلی و سراسری تخمین زده شده است. سطح تخمینی خطوط بیت نیز با استفاده از اندازه ترانزیستورها بدست آمده است. نتایج نشان می‌دهند که رجیستر فایل پیشنهادی FOM بیشتری نسبت به رجیستر فایل متداول دارد.

همچنین جدول ۱ نشان می‌دهد توان مصرفی، توان نشتی، تاخیر انتشاری و مساحت رجیستر فایل پیشنهادی در شرایط مصونیت در برابر نویز یکسان، به ترتیب ۳۷٪، ۱۶٪، ۳۶٪ و ۶٪ کمتر از رجیستر فایل متداول می‌باشد، که منجر به ۴/۱ برابر بهبود در FOM نرمالیزه شده نسبت به طرح متداول می‌شود. همچنین رجیستر فایل پیشنهادی با سایر رجیستر فایلهایی که در متون علمی منتشر شده‌اند و از فناوری ۹۰ نانومتر CMOS استفاده کرده‌اند، مقایسه می‌شود [۱۸، ۲۲-۳۰]. نتایج مندرج در مقالات و نتایج حاصل از شبیه‌سازی رجیستر فایل پیشنهادی در جدول ۲ فهرست شده‌اند. از آنجاییکه نتایج گزارش شده در هر مقاله تحت شرایط متفاوت به‌دست آمده‌اند، به همین دلیل در جدول ۲ از مقادیر نرمالیزه شده تاخیر و توان مصرفی استفاده شده است. همچنین حاصل ضرب انرژی در تاخیر (EDP)رجیستر فایلها با هم مقایسه شده‌اند. با توجه به جدول ۲، رجیستر فایل پیشنهادی کمترین مقدار EDP را دارد.

جهت بررسی اثر تغییرات فرآیند، ولتاژ و دما روی مدار پیشنهادی، رجیستر فایل پیشنهادی در چهار گوشه فرآیند و دماهای مختلف و ولتاژهای تغذیه (V_{DD}) متغیر بین ۰/۸V تا ۱/۲V شبیه‌سازی شدند. تأخیر و توان مصرفی به پارامترهای مشابه آنها در فرآیند نوعی (tPtN)، ولتاژ تغذیه ۱V و دمای ۱۱۰ ℃ نرمالیزه شدند.

جدول ۱- مقایسه پارامترهای رجیستر فایلهای مورد بررسی

	رجیستر فایل متداول	رجیستر فایل پیشنهادی
تعداد ترانزیستور	۲۷۹۰۲	۲۷۱۳۶
مساحت مصرفی (Wmin□Lmin)	۱۹۲۲۱	۱۸۱۱۵
مساحت نرمالیزه	۱	۰/۹۴
توان مصرفی (mw)	۲/۶	۱/۶۵
توان نرمالیزه	۱	۰/۶۳
تاخیر (ps)	۱۶۶	۱۰۷
تاخیر نرمالیزه	۱	۰/۶۴
UNA (V)	۰/۳	۰/۳
UNA نرمالیزه	۱	۱
توان نشتی (µw)	۶۴۳/۶	۵۴۳/۷
توان نشتی نرمالیزه	۱	۰/۸۴
FOM	۱	۴/۱

نتایج مربوط به تأخیر و توان مصرفی نرمالیزه‌شده در فرآیند نوعی با ولتاژ تغذیه ۱V به‌ازای دماهای مختلف در شکل (۹) و به‌ازای ولتاژ تغذیه (V_{DD}) متغیر بین ۰/۸V تا ۱/۲V در دمای ۱۱۰ ℃ در شکل (۱۰) ترسیم شده است.

همچنین اثر تغییر فرآیند روی تأخیر و توان نرمالیزه شده

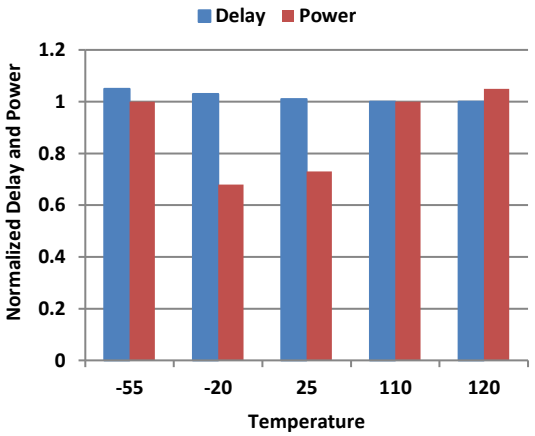
مدار پیشنهادی در چهار گوشه فرآیند (sPsN، sPfN، fPsN و fPfN) با ولتاژ تغذیه ۱V و دمای ۱۱۰ $^{\circ}C$ در جدول ۳ نشان داده شده است. در این جدول، EDP نیز لحاظ شده است تا تغییرات این پارامتر با تغییر فرآیند نیز بررسی شود. با توجه به این شکل‌ها می‌توان نتیجه گرفت مدار پیشنهادی با تغییرات فرآیند، ولتاژ و دما کارکرد مناسبی دارد.

جدول ۲- مقایسه پارامترهای رجیستر فایلهای مختلف با استفاده از نتایج مندرج در مقالات

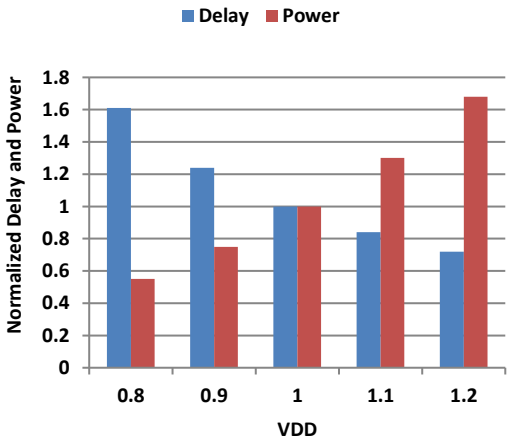
	[۱۸]	[۲۲]	[۲۳]	[۲۴]	[۲۵]	[۲۶]	[۲۷]	[۲۸]	[۲۹]	[۳۰]	رجیستر فایل پیشنهادی
فناوری ساخت (nm)	۹۰	۹۰	۹۰	۹۰	۹۰	۹۰	۹۰	۹۰	۹۰	۹۰	۹۰
ولتاژ تغذیه (V)	۱	۱/۲	۱/۲	۱/۲	۱	۱	۱	۱	۱	۱	۱
تعداد کلمه/ بیت	۳۲/۶۴	۶۴/۱۲۸	۳۲/۳۲	۳۲/۳۲	۳۲/۳۲	۱۲۸/۳۲	۶۴/۶۴	۱۲۸/۳۲	۱۲۸/۳۲	۳۲/۱۶	۳۲/۶۴
تعداد پورتهای خواندن/ نوشتن	۱/۲	۴/۴	۱/۲	۴/۸	۴/۸	۲/۲	۸/۴	۴/۴	۲/۲	۱/۲	۱/۲
تأخیر نرمالیزه	۱/۲۲	۰/۸۸	۱	۱	۰/۸	۰/۹۴	۱	۰/۶۳	۰/۹۵	۱	۰/۶۴
توان نرمالیزه	۰/۷۵	۱/۰۱	۰/۷۵	۰/۶۷	۰/۹	۱	۰/۴۴	۰/۸۲	۱/۰۲	۰/۸	۰/۶۳
EDP	۱/۱۲	۰/۷۸	۰/۷۵	۰/۶۷	۰/۵۸	۰/۸۸	۰/۴۴	۰/۳۳	۰/۹۲	۰/۸	۰/۲۶

جدول ۳- بررسی تغییر فرآیند روی رجیستر فایل پیشنهادی

پارامتر	گوشه های فرآیند				
	FF	SS	SF	FS	TT
تاخیر نرمالیزه	۰/۶۹	۱/۵۱	۰/۸۷	۱/۱۷	۱
توان نرمالیزه	۱/۹۴	۰/۶۱	۱/۰۹	۰/۹۷	۱
EDP نرمالیزه	۰/۹۲	۱/۳۹	۰/۸۳	۱/۳۳	۱
UNA نرمالیزه	۰/۷۵	۱/۳۵	۰/۹۳	۱/۱۳	۱
UNA/EDP نرمالیزه	۰/۸۲	۰/۹۷	۱/۱۲	۰/۸۵	۱



شکل ۹- تغییرات تأخیر و توان مصرفی در سه دمای مختلف



شکل ۱۰- اثر تغییر ولتاژ تغذیه روی تأخیر و توان مصرفی

نتیجه‌گیری

یکی از مسیرهای بحرانی در رجیستر فایل‌ها، مسیرهای خواندن یا خطوط بیت آنها است که با استفاده از مدارهای دینامیکی پیاده سازی می‌شوند و سهم عمده‌ای از توان مصرفی رجیستر فایل‌ها را به خود اختصاص می‌دهند. با توجه به معایب مدارهای دینامیکی در خصوص حساسیت به نویز و توان مصرفی، استفاده از مدار دینامیکی مناسب جهت پیاده سازی رجیستر فایلها اهمیت بسزایی دارد. از این رو یک تکنیک مداری جهت پیاده‌سازی مدارهای خط بیت محلی و سراسری رجیستر فایل‌ها پیشنهاد می‌شود تا علاوه بر حفظ استحکام مداری، توان مصرفی و تأخیر رجیستر فایل‌ها را کاهش دهد.

ایده اصلی جهت کاهش توان کلیدزنی در مدار پیشنهادی، کاهش دامنه تغییرات ولتاژ دو سر شبکه پایین‌کش است. همچنین به‌دلیل اثر بدنه، ولتاژ آستانه ترانزیستورهای شبکه پایین‌کش افزایش یافته و جریان نشتی زیر آستانه کم می‌شود. درنتیجه توان نشتی کاهش و مصونیت در برابر نویز افزایش می‌یابد. بنابراین می‌توان از ترانزیستورهایی با ولتاژ آستانه پایین برای بهبود عملکرد مدار پیشنهادی استفاده نمود.

رجیستر فایل پیشنهادی با استفاده از یک مدل فناوری ۹۰ نانومتر CMOS و ترانزیستورهایی با ولتاژ آستانه پایین شبیه‌سازی شد. نتایج شبیه‌سازیها بیانگر کاهش چشمگیر توان مصرفی و افزایش سرعت رجیستر فایل پیشنهادی نسبت به رجیستر فایل متداول تحت مصونیت در برابر نویز یکسان است.

مراجع

[1] K. Krishnamurthy, A. Alvandpour, G. Balamurugan., N. R. Shanbhag, K. Soumyanath, and S. Y. Borkar, "A 130-nm 6-GHz 256 × 32 Bit Leakage-Tolerant Register File", IEEE Journal of Solid-State Circuits, Vol. 37, No. 5, 2002, pp. 624-632.

[2] Intel Pentium 4 1.4 GHz Review, Part 1: Processor Architecture and Platform Overview, 2000, pp. 1–11, Nov. [Online]. Available:http://www.xbitlabs.com/articles/cpu/display/pentium4-1400-1.html.

[3] H. F. Dadgour, and K. Banerjee, "A Novel Variation-Tolerant Keeper Architecture for High-Performance Low-Power Wide Fan-In Dynamic OR Gates", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 18, No. 11, 2010, pp. 1567 – 1577.

[4] X. Guan, and Y.Fei, "Register File Partitioning and Compiler Support for Reducing Embedded Processor Power Consumption", IEEE Transactions on Very Large Scale Integration (VLSI) syst., Vol. 18, No. 8, 2010, pp. 1248-1252.

[5] N. Gong, J. Wang, and R. Sridhar, "Variation Aware Sleep Vector Selection in Dual Dynamic OR Circuits for Low Leakage Register File Design", IEEE Transactions on Circuits and Systems, Vol. 61, No. 7, July 2014, pp. 1970-1983.

[6] H. Mostafa, M. Anis, and M. Elmasry, "Novel Timing Yield Improvement Circuits for High-Performance Low-Power Wide Fan-In Dynamic OR Gates", IEEE Transactions on Circuits and Systems, Vol. 58, No. 10, 2011, pp. 1785 – 1797.

[7] A. Alvandpour, R. Krishnamurthy, K. Sourrty, and S. Y. Borkar, "A Sub-130-nm Conditional-Keeper Technique". IEEE Journal of Solid-State Circuits, Vol. 37, No. 5, 2002, pp. 633-638.

[8] M. H. Anis, M. W. Allam, and M. I. Elmasry, "Energy-Efficient Noise-Tolerant Dynamic Styles for Scaled-Down CMOS and MTCMOS Technologies", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 10, No. 2, 2002, pp. 71-78.

[9] Y. Lih, , N. Tzartzanis, and W. Walker, "A Leakage Current Replica Keeper for Dynamic Circuits", IEEE Journal of Solid-State Circuits, Vol. 42, No. 1,2007, pp. 48–55.

[10] H. Mahmoodi-Meimand, and K. Roy, "Diode-Footed Domino: A Leakage-Tolerant High Fan-In Dynamic Circuit Design Style". IEEE Transactions on Circuits and Systems, Vol. 51, No. 3, 2004, pp. 495-503.

[11] A. Peiravi, and M. Asyaei, "Current-Comparison-Based Domino: A New Low-Leakage High Speed Domino Circuit for Wide Fan-In Gates", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 21, No. 51,2013 , pp. 934-943.

[12] M. Asyaei, "A New Leakage-Tolerant Domino Circuit Using Voltage-Comparison for Wide Fan-In Gates in Deep Sub-Micron Technology", Integration, the VLSI Journal, Vol. 51, 2015, pp. 61-71.

[۱۳] م. آسیایی، "دومینو مبتنی بر مقایسه جریان ارتقاءیافته برای طراحی گیت‌های عریض توان پایین" مجله مهندسی برق دانشگاه تبریز، جلد ۴۷، شماره ۱، ۱۳۹۶.

[14] K. Roy, S. Mukhopadhyay, and H. Mahmoodi, "Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits", Proceedings of the IEEE, Vol. 91, No. 2, 2003, pp. 305-327.

[15] J. Rabaey, A. Chandrakasan, and B. Nicolic, "Digital Integrated Circuits: A Design Perspective". 2nd Edition, Englewood Cliffs, NJ: Prentice Hall, 2003.

[16] S. Fisher, A. Teman, D. Vaysman, A. Gertsman, O. Yadid-Pecht, and A. Fish, "Digital Subthreshold Logic Design–Motivation and Challenges", IEEE 25th Convention of Electrical and Electronics Engineers, 2008, pp. 702-706.

[17] D. L. Ding, and P. Mazumder, "On Circuit Techniques to Improve Noise Immunity of CMOS Dynamic Logic", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 12, No. 9 ,2004, pp. 910–925.

[18] M. Asyaei, and A. Peiravi, "Low Power Wide Gates for Modern Power Efficient Processors", Integration, the VLSI Journal, Vol. 47, No. 2, 2014, pp. 272-283.

[19] Z. Liu, and V. Kursun, "Leakage Power Characteristics of Dynamic Circuits in Nanometer CMOS Technologies", IEEE Transactions of Circuits and Systems. II, Vol. 53, No. 8, 2006, pp. 692–696.

[20] L. Wang, and N. R. Shanbhag, (2000). "An Energy-Efficient Noise-Tolerant Dynamic Circuit Technique", IEEE Transactions on Circuits and Systems, Vol. 47, No. 11, pp. 1300-1306 .

[21] A. Peiravi, and M. Asyaei, "Noise-Immune Dual-Rail Dynamic Circuit for Wide Fan−In Gates in Asynchronous Designs", IEEJ Transactions on Electrical and Electronic Engineering, Vol. 7, No. 6, 2012, pp. 613-621.

[22] A. Agarwal, K. Roy, R. K. Krishnarnurthy, and S. Borkar, "A 90nm 6.5GHz 128x64b 4-Read 4-Write Ported Parameter Variation Tolerant Register File", Symposium on VLSI Circuits Digest of Technica1 Papers, 2004, pp. 386-387 .

[23] S. Hsu, A. Agarwal, K. Roy, R. K. Krishnarnurthy, and S. Borkar, "An 8.3GHz Dual Supply/Threshold Optimized 32b Integer ALU-Register File Loop in 90nm CMOS", International Symposium on Low Power Electronics and Design (ISLPED), 2005, pp. 103-106 .

[24] H. Yan, Y. Liu, H. D. Wang, and C. H. Hou, "A Low-Power 8-Read 4-Write Register File Design". Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics, 2010, pp. 178 - 181.

[25] Y. Hao, L. Yan, H. Siliang, W. Donghui, and H. Chaohuan, "A Low-Power Multi Port Register File Design Using a Low-Swing Strategy", Journal of Semiconductors, Vol. 33, No. 3, 2012, pp. 35009:1-8.

[26] C. H. Kim, K. Roy, S. Hsu, A. Alvandpour, R. Krishnamurthy, and S. Borkar, "A Process Variation Compensating Technique for Sub-90nm Dynamic Circuits", Svmoosium on VLSl Circuits Digest of Technical Papers, 2003, pp. 205-206.

[27] G. Zhang, X. Yang, and Y. Zhang, "Architecture Level Energy Modeling and Optimization for Multi-Ported Giga-Hz Physical Register File", IEEE International Conference on Networking, Architecture and Storage, 2009, pp. 386 - 391 .

[28] S. C. Yang, H. I. Yang, and W. Hwang, "A Micro-Watt Multi-Port Register File with Wide Operating Voltage Range", IEEE International Workshop on Memory Technology, Design, and Testing, 2009, pp. 34-37.

[29] C. H. Kim, K. Roy, S. Hsu, R. Krishnamurthy, and S. Borkar, "A Process Variation Compensating Technique with an On-Die Leakage Current Sensor for Nanometer Scale Dynamic Circuits", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 14, No. 6, 2006, pp. 646-649.

[30] I. Daimary, and M. Aneesh, "Design of Low Power Gates used in Register File and Tag Comparator", International Journal of Computational Engineering & Management, Vol. 18, No. 2, 2015, pp. 1-6.