مدل‌سازی و کالیبره‌سازی مبنای خطی و غیرخطی بهره طبقات در مبدل‌های آنالوگ به دیجیتال خط لوله با استفاده از یک الگوریتم همبستگی اصلاح شده

حامد امین‌زاده[۱،*]

اطلاعات مقاله

دریافت مقاله: ۱۳۹۴/۱۰/۲۰
پذیرش مقاله: ۱۳۹۷/۰۳/۰۲

واژگان کلیدی:
کالیبراسیون دیجیتال،
مبدل‌های آنالوگ به دیجیتال،
مبدل‌های خط لوله،
مدل‌سازی،
همبستگی.

چکیده

عناصر مجتمع‌سازی شده در فرآیند ساخت مدار مجتمع کنونی، اغلب غیرخطی بوده و امکان دستیابی به تقارن کامل ساختاری را با مشکل مواجه می‌کنند. بدون استفاده از یک الگوریتم کالیبره‌سازی مناسب، این مسأله باعث محدود شدن دقت تبدیل مبدل‌های آنالوگ به دیجیتال خط لوله می‌شود که عمدتاً قابل قبول نمی‌باشد. در این شرایط، حداقل باید به میزان اختلاف تعداد بیت‌های قابل دستیابی و تعداد بیت‌های مورد نیاز، از طبقات ابتدایی مبدل کالیبره‌سازی نمود. این مقاله، به مدل‌سازی خطای بهره طبقات در مبدل‌های آنالوگ به دیجیتال خط لوله می‌پردازد. سپس روش نوینی به‌منظور تخمین و کالیبره‌سازی مبنای غیرخطی خطا در طبقات ابتدایی ارائه می‌شود. قابلیت روش مورد نظر، در افزایش تعداد بیت مؤثر یک مبدل آنالوگ به دیجیتال ۱۴ بیت و با فرکانس نمونه‌برداری ۶۵MS/s ، در فرآیند ساخت ۰.۱۸μm CMOS به اثبات می‌رسد. پس از کالیبره‌سازی، تعداد بیت مؤثر در فرکانس نایکویست از ۸/۱ بیت به ۱۳/۴ بیت به افزایش می‌یابد.

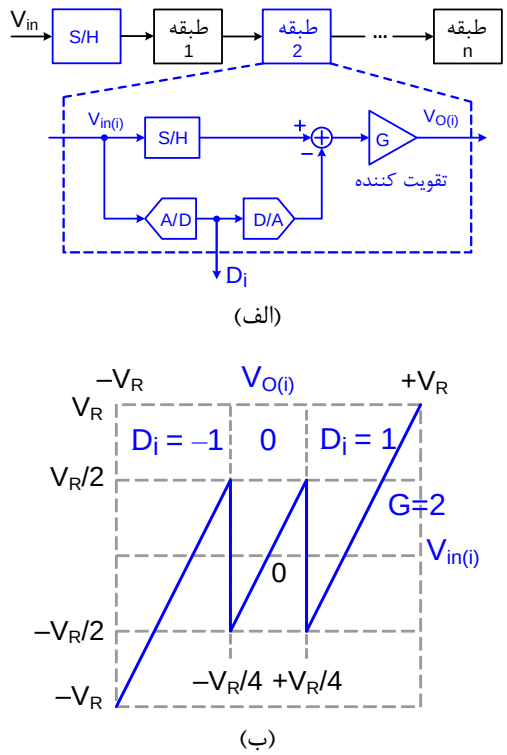
۱- مقدمه

مبدل آنالوگ به دیجیتال، یکی از بلوک‌های پایه و اساسی در طراحی سیستم‌های پردازش سیگنال‌های الکترونیکی محسوب می‌شوند [۱]. این مبدل‌ها معمولاً با استفاده از ترانزیستورهای ماسفت [۳-۲] و به صورت مجتمع پیاده سازی شده و قادر هستند که سیگنال آنالوگ را به طور مستقیم به سیگنال دیجیتال معادل تبدیل کنند. در وضعیتی که دقت و فرکانس نمونه‌برداری هر دو مهم هستند، یکی از گزینه‌های اصلی در پیاده‌سازی مبدل آنالوگ به دیجیتال، آرایش خط لوله است [۵-۴]. شکل (۱-الف) بلوک دیاگرام ساختاری یک مبدل آنالوگ به دیجیتال خط لوله را نشان می‌دهد. این ساختار از n طبقه پشت سر هم تشکیل شده است که هر طبقه خود شامل یک زیرمبدل آنالوگ به دیجیتال A/D با دقت پایین (شامل یک یا چند مقایسه‌کننده)، زیرمبدل دیجیتال به آنالوگ D/A با دقت پایین، تفریق کننده آنالوگ، تقویت‌کننده G و نمونه‌بردار S/H است. در تحقق مداری این ساختار، زیرمبدل دیجیتال به آنالوگ، تفریق کننده آنالوگ، تقویت کننده و نمونه‌بردار همگی توسط یک بلوک پایه به نام مبدل دیجیتال به آنالوگ ضرب کننده (MDAC) قابل پیاده سازی است [۶]. این بلوک متشکل از یک تقویت‌کننده و مجموعه‌ای از خازن‌ها و ترانزیستورها است. مبدل آنالوگ به دیجیتال موجود در ورودی هر طبقه، شامل تعدادی مقایسه‌کننده است که با آرایشی از ترانزیستورها پیاده‌سازی می‌شود [۶].

در هر طبقه، تخمینی از ورودی با دقت پایین توسط مبدل آنالوگ به دیجیتال تهیه شده و به کدهای دیجیتال تبدیل می‌شود. نتیجه این تبدیل، سپس توسط D/A به سیگنال آنالوگ تبدیل شده و با استفاده از تفریق‌کننده از سیگنال ورودی کم می‌شود. سیگنال باقیمانده در خروجی طبقه، نماینده نویز کوانتیزاسیون ناشی از تبدیل آنالوگ به دیجیتال سیگنال ورودی با دقت پایین است. این سیگنال، سپس توسط تقویت‌کننده داخلی تقویت شده و به منظور افزایش تعداد بیت مبدل به طبقات بعدی ارسال می‌شود. از

*. پست الکترونیک نویسنده مسئول: h.aminzadeh@pnum.ac.ir
۱. دانشیار، دانشکده مهندسی برق، دانشگاه پیام‌نور، تهران، ایران

مزایای این ساختار، قابلیت آن در پردازش نمونه‌های متعدد به صورت همزمان است به طوری که وقتی طبقه‌ای در حال تقویت خروجی است، طبقه پشت سر نمونه‌برداری می‌کند و برعکس. این مزیت، سرعت و نرخ تبدیل مبدل را تا حد زمان مورد نیاز برای پردازش سیگنال در یک طبقه مشخص افزایش می‌دهد. در عمل، به منظور جلوگیری از اعوجاج اطلاعات در اثر اشباع خروجی طبقات، از دو روش متداول به نام‌های تصحیح آنالوگ خطا و تصحیح دیجیتال خطا استفاده می‌شود. در روش اول، بهره طبقات کم می‌شود تا از اشباع خروجی به دلیل تصمیم‌گیری اشتباه مقایسه کننده‌ها جلوگیری شود [۷]. در نهایت چند طبقه اضافی به انتهای مبدل افزوده می‌شود تا کاهش بهره طبقات جبران شود. در روش دوم، به تعداد حداقل مقایسه‌کننده‌های موجود در طبقات، به مبدل آنالوگ به دیجیتال داخلی آن مقایسه‌کننده اضافه می‌شود تا با تغییر دادن سطوح مقایسه، از اشباع خروجی طبقات جلوگیری به عمل آید. شکل (۱-ب)، منحنی ورودی – خروجی اصلاح شده یک طبقه تک بیتی (موسوم به طبقه ۱/۵ بیت) را در این حالت به تصویر می‌کشد. به دلیل بار پردازش دیجیتال کمتر، این روش از محبوبیت بالاتری نسبت به روش اول برخوردار است هر چند که به منظور استخراج یک تک بیت، نیاز به تعداد مقایسه کننده بیشتر (دو تا به جای یکی) در هر طبقه دارد. استفاده از راهکار بالا، هر چند که مشکل اشباع خروجی طبقات را حل می‌کند اما تعداد بیت‌های قابل دستیابی از مبدل، همچنان به منابع خطایی از جمله بهره غیردقیق و غیرخطی طبقات محدود می‌شود. استفاده از یک راهکار کالیبراسیون قدرمتند، علاوه بر افزایش سرعت و دقت مبدل، توان مصرفی و پیچیدگی مدارهای آنالوگ آن را نیز کاهش خواهد داد [۸]. در این میان، راهکارهای کالیبراسیون دیجیتال از اهمیت ویژه‌ای برخوردار هستند چرا که به طور مستقیم از مزیت مقیاس‌گذاری مدارهای دیجیتال در فن‌آوری‌های نانومتری CMOS استفاده می کنند و کالیبره‌سازی مبدل را با سرعت بالاتر و پایداری مطلوبی به انجام می‌رسانند. غالب این روش‌ها، به شکل پیش‌زمینه پیاده‌سازی می‌شوند به این معنا که به منظور انجام عمل کالیبره‌سازی، عملکرد عادی مبدل قطع می‌شود [۴ و ۹-۱۰]. راهکارهای معدودی نیز وجود دارند که عمل کالیبره‌سازی را به صورت پس‌زمینه و در حین عملکرد عادی مبدل انجام می‌دهند [۶-۵ و ۱۴-۱۱]. در این خصوص، مدل‌سازی دقیق ریاضی ساختار به منظور جداسازی فرآیند کالیبره‌سازی از عملیات عادی و انجام صحیح کالیبراسیون دیجیتال از اهمیت ویژه‌ای برخوردار است. بیشتر راهکارهای پس‌زمینه فعلی، تلاش می‌کنند که مؤلفه خطی بهره طبقات را پیدا کنند و این مقدار را در حوزه دیجیتال اصلاح کنند [۱۳-۱۱]. تنها تعداد انگشت شماری راهکار کالیبره‌سازی دیجیتال پس‌زمینه هستند که قادرند مؤلفه‌های غیرخطی بهره طبقات را نیز کالیبره‌سازی کنند [۷-۵، ۹ و ۱۴]. متأسفانه این روش‌ها بسیار پیچیده بوده و نیازمند زمان بسیار طولانی [۵ و ۱۴]، فرکانس ساعت بالا [۶] و توقف عملکرد عادی مبدل [۹] به منظور انجام عمل کالیبره‌سازی هستند.



شکل ۱: بلوک دیاگرام ساختاری مبدل خطلوله و تابع انتقال هر یک از طبقات آن در قالب طبقات ۱/۵ بیتی

در این مقاله سعی شده است تا با مدل‌سازی دقیق بهره طبقات، الگوریتم کالیبره‌سازی پس‌زمینه‌ای پیشنهاد شود که به شکل ساده و در کمترین زمان ممکن مؤلفه خطی و غیرخطی بهره طبقات ابتدایی را مشخص کند و تعداد بیت های قابل دستیابی مبدل را افزایش دهد. در بخش دوم، بهره طبقات مدل‌سازی ریاضی و کارآیی این مدل در افزایش دقت مبدل بررسی خواهد شد. در بخش سوم، به معرفی راهکار کالیبره‌سازی پیشنهادی می‌پردازیم جزئیات

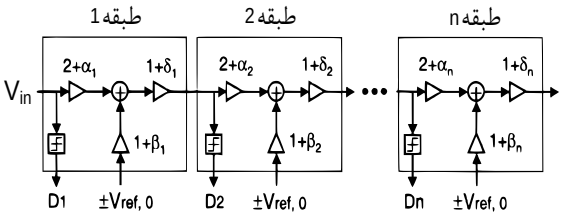
ریاضی آن را شرح می‌دهیم. بخش چهارم کارآیی روش پیشنهادی را با ارائه نتایج شبیه‌سازی یک مبدل ۱۴ بیت و با فرکانس ۶۵MS/s، در فرآیند ساخت ۰.۱۸μm CMOS به اثبات خواهد رسانید. در نهایت، بخش پنجم به نتیجه‌گیری اختصاص می‌یابد.

۲- مدل‌سازی خطای طبقات

رابطه ریاضی مشخصه ایده‌آل هر طبقه ۱/۵ بیتی نشان داده شده در شکل (۱-ب) به صورت زیر است:

$$V_O = 2V_{in} - D.V_{REF} = 2.\left(V_{in} - DV_{REF}/2\right) \qquad (۱)$$

در رابطه بالا V_{in}، V_O و V_{REF}، به ترتیب نشان‌دهنده ولتاژهای ورودی و خروجی طبقه و نیز ولتاژ مرجع مبدل هستند. اثرات غیر ایده‌آلی از قبیل عدم تقارن خازن‌ها و بهره محدود تقویت‌کننده عملیاتی، باعث انحراف بهره طبقات از مقدار ۲ و در نتیجه بروز خطای آنالوگ می‌شوند. شکل (۲) بلوک دیاگرام کاربردی یک مبدل خط لوله را نشان می‌دهد.



شکل ۲: بلوک دیاگرام کاربردی مبدل خط لوله

جملات غیر ایده‌آل α_i، β_i و γ_i در این مدل، خطاهای ناشی از عدم تقارن و بهره محدود تقویت‌کننده را مدل‌سازی می‌کنند. با توجه به این شکل، مشخصه ورودی - خروجی غیر ایده‌آل هر طبقه عبارت است از

$$V_O = (1+\gamma).\left[(2+\alpha).V_i - D_i.(1+\beta).V_{REF}\right] \qquad (۲)$$

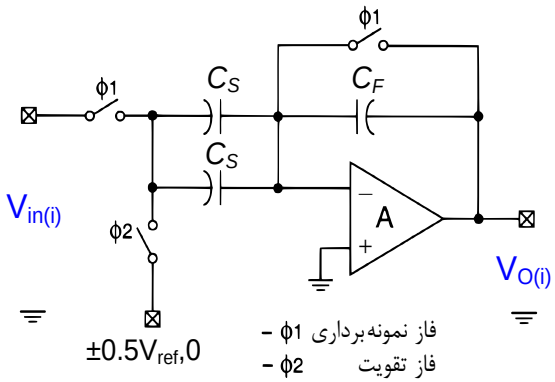
این رابطه را می‌توان به شکل زیر اصلاح نمود:

$$V_O = (1+\gamma).(2+\alpha).\left(V_i - D_i.\frac{1+\beta}{2+\alpha}.V_{REF}\right) \qquad (۳)$$

با مقایسه رابطه (۳) با رابطه (۱) و با در نظر گرفتن $ra = (1+\gamma).(2+\alpha)$ به عنوان مبنای غیر ایده‌آل طبقات (به جای مقدار ایده‌آل ۲) و نیز با در نظر گرفتن $2V_{REF}(1+\beta)/(2+\alpha)$ به جای ولتاژ V_{REF} به عنوان ولتاژ مرجع غیر ایده‌آل طبقات، خروجی دیجیتال صحیح از رابطه زیر به دست می‌آید:

$$D_{out} = D_n + D_{n-1}.ra_{n-1} + D_{n-2}.(ra_{n-1})(ra_{n-2}) + ... + D_1.(ra_{n-1})(ra_{n-2})...(ra_2)(ra_1) \qquad (۴)$$

با توجه به اینکه ولتاژهای مرجع غیر ایده‌آل از طبقه‌ای به طبقه دیگر متفاوت هستند، مدل‌سازی بالا تنها در حالتی صادق است که از ساختار شکل (۳) برای تحقق MDAC طبقات استفاده کنیم. در این ساختار ورودی آنالوگ و ولتاژ مرجع طبقات، خطای یکسانی را تا خروجی می‌بینند و اثر خطای ولتاژ مرجع را می‌توان در مبنای طبقات نیز لحاظ کرد. این ساختار از لحاظ مدل‌سازی خطا نسبت به آرایش Capacitor Flip-Over مزیت دارد ضمن آنکه از ضریب فیدبک آن نیز در فاز تقویت بالاتر است. در نتیجه می‌توان آن را با پهنای باند و توان مصرفی پایین‌تر پیاده‌سازی نمود.



شکل ۳: مبدل MDAC استفاده شده در آرایش تک سر و به صورت Non-Capacitor Flip-over

به منظور کالیبره‌سازی طبقات در حالت کلی و در عین حال بهره‌برداری از رابطه (۴)، می‌توان با تحلیل سیستمی و تعویض مکان‌های ورودی و خروجی طبقات با مکان‌های جدید، مبنای اصلاح شده هر طبقه را به صورت زیر به دست آورد:

$$ra_i = (1+\beta_i).(1+\gamma_i).\left(\frac{2+\alpha_{i+1}}{1+\beta_{i+1}}\right) \qquad (۵)$$

در این رابطه α_{i+1}، β_{i+1} منابع خطای طبقه $i+1$ام هستند. تنها مسئله‌ای که در ترکیب رابطه‌های (۴) و (۵) و تصحیح خطای ناشی از بهره محدود و عدم تقارن خازن‌ها باقی می‌ماند، ایجاد افست متغیر با زمان به دلیل تعویض ظاهری مکان‌های ورودی و خروجی طبقات است. این مشکل با وجود تصحیح دیجیتال خطا کاملا حذف خواهد شد. با توجه به مدل‌سازی صورت گرفته، نحوه پیاده‌سازی آنالوگ طبقات دیگر اهمیت نداشته و تنها باید ضرایب

مجهول ra در حوزه دیجیتال و با استفاده از یک الگوریتم کالیبراسیون مناسب محاسبه شوند. اگرچه مدل‌سازی تابع تبدیل با در نظر گرفتن عددی ثابت به عنوان مبنای طبقات تا حد زیادی در تصحیح خطا و افزایش تعداد بیت‌ها مؤثر است اما با توجه به اینکه بهره MDAC به دامنه ولتاژ خروجی نیز وابسته است، افزایش دقت از حد خاصی فراتر نمی‌رود. در حالت کلی، غیرخطی بودن مبنای طبقات به عوامل مختلفی بستگی دارد که مهم‌ترین آنها محدود بودن سرعت واکنش و غیرخطی بودن بهره تقویت‌کننده است. اثر سرعت واکنش محدود را می‌توان به شکل زیر در بهره حالت دائم مدل‌سازی نمود:

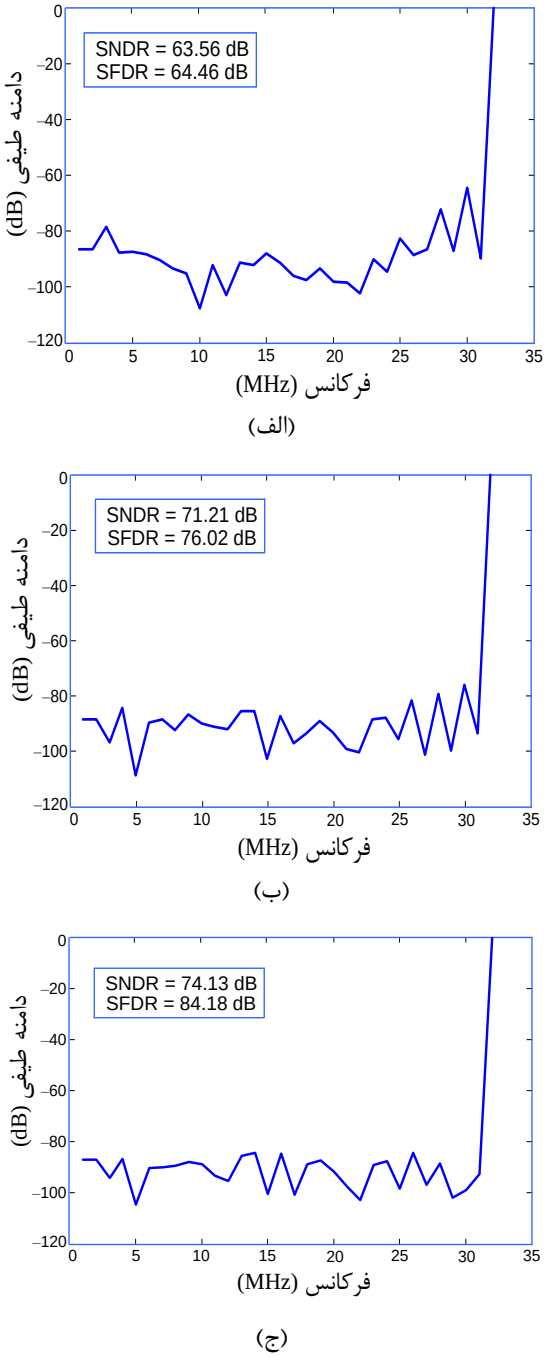
$$V_O = \left[G + B\left(\frac{V_O}{V_{REF}}\right)^2 + C\left(\frac{V_O}{V_{REF}}\right)^4 + \dots \right] \times \left(V_{in} - D\frac{V_{REF}}{2} \right) \quad (۶)$$

در رابطه بالا، G بهره متوسط MDAC است. با صرف‌نظر کردن از جملات بالاتر از درجه دو، مبنای غیرخطی طبقات به صورت زیر قابل مدل‌سازی است:

$$ra = G + B.\left(\frac{V_O}{V_{REF}}\right)^2 \quad (۷)$$

استفاده از رابطه (۷) به عنوان مبنای طبقات و پیدا کردن ضرایب مجهول G و B در حوزه دیجیتال، خطای ارجاع داده شده به ورودی مبدل را، به خصوص برای طبقات ابتدایی که از اهمیت بیشتری برخوردار هستند، کاهش داده و تعداد بیت‌های مؤثر، نسبت سیگنال به نویز و اعوجاج (SNDR) و بازه پویای بدون مؤلفه های کاذب (SFDR) را افزایش می‌دهد.

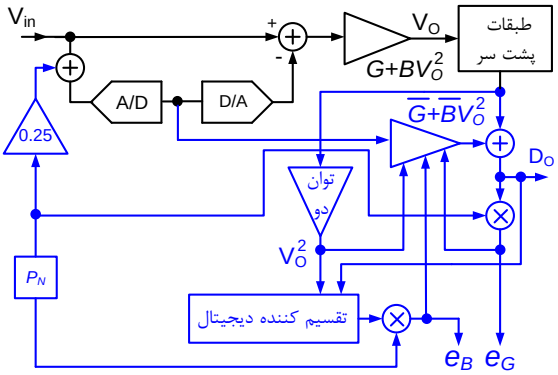
شکل (۴) طیف فرکانسی خروجی دیجیتال یک مبدل آنالوگ به دیجیتال خط لوله ۱۴ بیت را در فرآیند ساخت ۰.۱۸μm نشان می‌دهد. فرکانس نمونه برداری ۶۵MS/s است و فرکانس سیگنال ورودی بر روی فرکانس نایکویست تنظیم شده است. شکل (۴-الف) استخراج بیت‌های خروجی را در حالتی نشان می‌دهد که کالیبره‌سازی انجام نشده است. شکل (۴-ب) کالیبره‌سازی طبقه اول را با بهره ثابت و شکل (۴-ج) کالیبره‌سازی طبقه اول را با فرض بهره غیرخطی طبقه اول و بر اساس رابطه (۷) نشان می‌دهد. استفاده از بهره غیرخطی به جای بهره خطی، SNDR را در حدود 3dB و SFDR را در حدود 8dB افزایش می‌دهد. در این پژوهش از مدل‌سازی غیرخطی بهره برای کالیبره سازی مبنای طبقه اول استفاده شده است. ضرایب مجهول G و B این طبقه، با استفاده از یک الگوریتم جدید به دست آمده‌اند. برای طبقات دوم به بعد که از اهمیت کمتری برخوردار هستند، تنها از مبنای ثابت استفاده شده است.



شکل ۴: طیف فرکانسی خروجی یک مبدل خط‌لوله؛ الف- بدون کالیبره‌سازی، ب- کالیبره‌سازی با فرض مبنای ثابت و ج- کالیبره‌سازی با فرض مبنای متغیر (رابطه (۷)).

۳- الگوریتم پیشنهادی برای یافتن مولفه خطی و غیرخطی بهره طبقات

همان‌گونه که در بخش قبل مطرح شد، مدل‌سازی مبنای طبقات با مقدار ثابت روش دقیقی نبوده و باعث محدود شدن حد بالای تعداد بیت مؤثر مبدل می‌شود. برای حل این مشکل، در این پژوهش از مدل رابطه (۷) برای طبقه اول استفاده نمودیم. ارائه یک الگوریتم ساده و قدرتمند به منظور یافتن و اصلاح هر دو پارامتر B و G از اهمیت ویژه ای در استفاده از این مدل برخوردار است. الگوریتم مورد نظر باید در پس‌زمینه پیاده‌سازی شود تا سیگنال‌های ورودی و کالیبراسیون به طور همزمان پردازش شوند. با توجه به این نکته از یک سیگنال کالیبراسیون تصادفی استفاده شده است تا اطلاعات اصلی صدمه نبینند و بر مبنای همبستگی سیگنال خروجی با سیگنال اصلی، ضرایب مجهول مشخص شوند. شکل (۵) سیستم پیشنهادی در این پژوهش را به منظور یافتن B و G و بر مبنای یک الگوریتم همبستگی نشان می‌دهد (همه ولتاژها به V_{REF} نرمالیزه شده‌اند).



شکل ۵: سیستم پیشنهادی برای استخراج پارامترهای B و G از طبقه اول

متغیرهای $\bar{G}$ و $\bar{B}$ مقدارهای تخمین زده شده از پارامترهای G و B در حوزه دیجیتال هستند که با کالیبره سازی مبدل به سوی آنها میل می‌کنند. در این ساختار از رشته تصادفی P_N برابر با ± 1 که در ضریب ثابت ۱/۴ ضرب شده است به عنوان سیگنال کالیبراسیون استفاده می‌کند. این سیگنال به ورودی طبقه اول مبدل اعمال شده و مسیر داخلی بلوک تقویت کننده که شامل مبنای واقعی طبقه است را طی می‌کند. سیگنال مورد نظر سپس توسط طبقات پشت سر کوانتیزه شده و به دیجیتال تبدیل می شود. خروجی دیجیتال حاصل برابر است با:

$$D_O = \left(V_{in} + Q_N + \frac{1}{4}P_N\right)(\bar{G} + \bar{B}.V_O^2) - \left(Q_N + \frac{1}{4}P_N\right)$$
$$\times(G + B.V_O^2) + O_N = V_{in}\left(\bar{G} + \bar{B}.V_O^2\right) + Q_N$$
$$\times\left[\left(\bar{G} - G\right) + \left(\bar{B} - B\right).V_O^2\right] + \frac{1}{4}P_N$$
$$\times\left[\left(\bar{G} - G\right) + \left(\bar{B} - B\right).V_O^2\right] + O_N \qquad (۸)$$

در رابطه بالا، Q_N معرف نویز کوانتیزاسیون طبقه اول و O_N نشان‌دهنده کلیه منابع نویز تولید شده در طبقات پشت سر است. اگر حاصل همبستگی خروجی دیجیتال D_O را با رشته تصادفی P_N محاسبه کنیم، رابطه زیر برای خطای خطی (e_G) موجود در بهره اصلی به دست می‌آید:

$$e_G = \left(\frac{1}{4}\right)\left[\left(\bar{G} - G\right) + \left(\bar{B} - B\right).V_O^2\right] \qquad (۹)$$

با توجه به وابستگی رابطه بالا به ولتاژ خروجی طبقه اول، هرگونه تلاشی برای به دست آوردن ضریب ثابت و با خطای همبستگی حداقل، از دقت خاصی که به مقدار B وابسته است فراتر نمی‌رود. توجه به این نکته ضروری است که روش‌های پیشنهادی قبلی به منظور محاسبه ضرایب مبنای غیرخطی، اغلب پیچیده بوده و استفاده از آنها در هر مبدلی و با هر نوع آرایشی امکان‌پذیر نمی‌باشد. در مراجع [۵ و ۷]، از دو حالت آماری ممکن در تابع تبدیل خروجی MDAC برای تولید سیگنال تصادفی و به منظور کالیبره‌سازی استفاده شده است. استفاده از آن، اما تنها به ساختار تک بیتی 1bit/stage و تقویت‌کننده‌های عملیاتی با آرایش حلقه‌باز محدود می‌شود. در مرجع [۶]، از الگوریتم تصمیم گیری و اجبار به منظور به دست آوردن ضریب غیرخطی بهره استفاده شده است. اشکال آن استفاده از ساختار صف در ورودی مبدل و به منظور آزاد نمودن بازه‌های زمانی کالیبراسیون است که علاوه بر مصرف توان اضافی و اشغال سطح فیزیکی بیشتر، نویز زیادی را نیز به ورودی مبدل تحمیل می‌کند. در الگوریتم پیشنهادی در این مقاله، از نتیجه همبستگی P_N با خروجی دیجیتال D_O/V_O^2 به منظور به دست آوردن ضریب B استفاده شده است. با توجه به رابطه (۸)، نسبت D_O/V_O^2 برابر است با

$$\frac{D_O}{V_O^2} = \left(V_i + Q_N + \frac{P_N}{4}\right)\left(\frac{\bar{G}}{V_O^2} + \bar{B}\right)$$
$$-\left(Q_N + \frac{P_N}{4}\right)\left(\frac{\bar{G}}{V_O^2} + \bar{B}\right) \qquad (۱۰)$$

حاصل همبستگی این مقدار با P_N عبارت است از

$$e_B = \left(\frac{1}{4}\right)\left[\frac{\bar{G}-G}{V_O^2}+\left(\bar{B}-B\right)\right] \quad (۱۱)$$

با فرض اینکه $\bar{G}$ کاملا به G میل کرده باشد، این رابطه برابر با مقدار زیر خواهد بود:

$$e_B = \frac{1}{4}\left(\bar{B}-B\right) \quad (۱۲)$$

لذا می‌توان نوشت

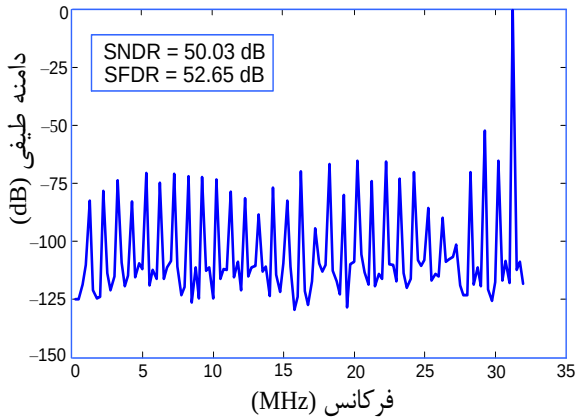
$$B = \bar{B} - 4.e_B \quad (۱۳)$$

در عمل می‌توان از دو رابطه زیر برای کالیبره کردن ضرایب B و G استفاده کرد:

$$G[n+1] = G[n] - \Delta_G.\left(D_O \otimes P_N\right) \quad (۱۴)$$

$$B[n+1] = B[n] - \Delta_B\left(\frac{D_O}{V_O^2} \otimes P_N\right) \quad (۱۵)$$

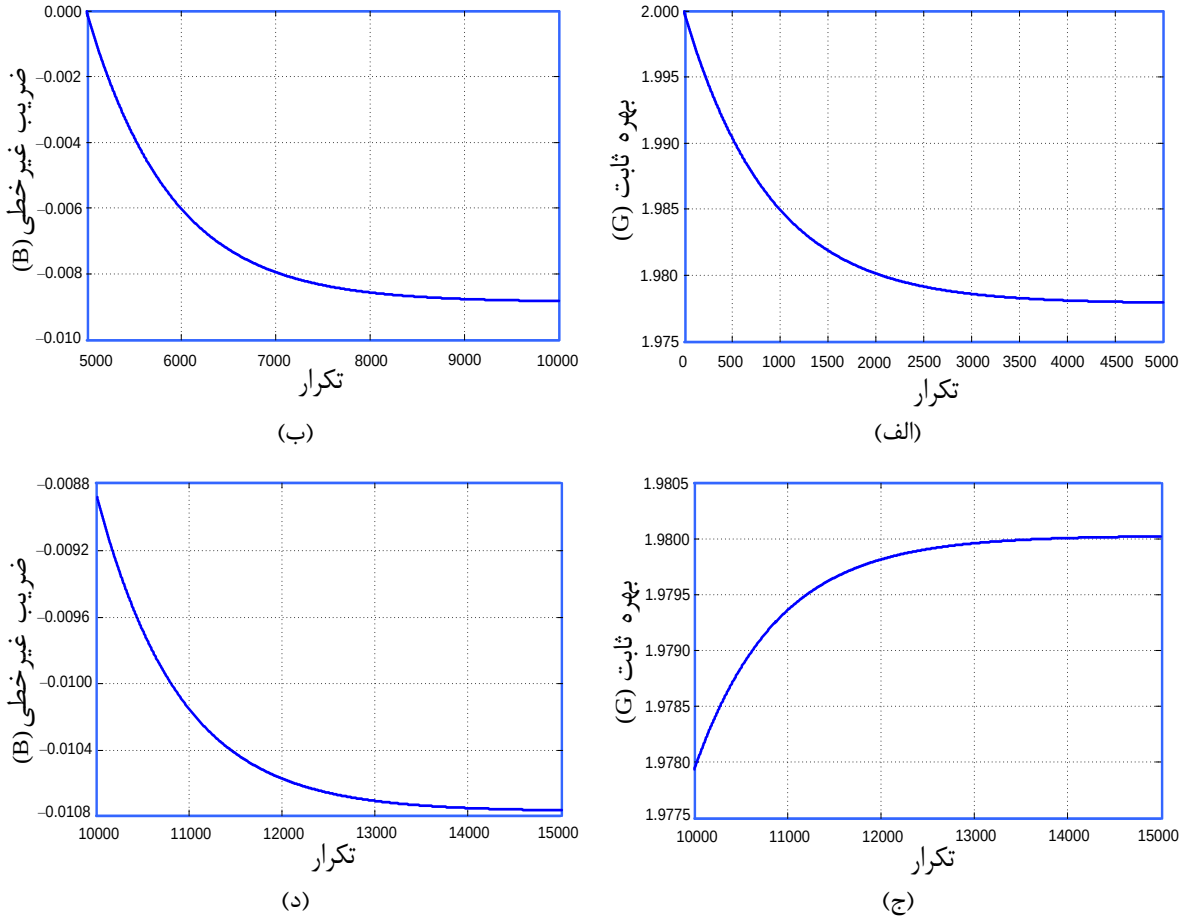
در روابط بالا، Δ_B و Δ_G به ترتیب اندازه پله به روز رسانی G و B هستند. توجه به این نکته ضروری است که اگر $\bar{G}$ کاملا به G میل نکرده باشد در رابطه (۱۵) خطا وجود خواهد داشت. اما با توجه به اینکه عملاً خطای ناشی از B بسیار کوچکتر از خطای ناشی از G است باید به سیستم اجازه داد تا در ابتدا مقدار تقریبی G تا جایی که دقت اجازه می‌دهد همگرا شده و سپس از رابطه (۱۳) به‌منظور همگرا شدن B استفاده شود. سپس با توجه به مقدار به روز شده B دوباره G محاسبه شده و این کار تا رسیدن به دقت مطلوب ادامه یابد. مشکل دیگر این الگوریتم در همگرایی B ، با نگاهی به رابطه (۱۱) آشکار می‌شود. در صورتی که G به مقدار نهایی خود میل نکرده باشد، در دامنه‌های کوچک ورودی جمله اول می‌تواند بسیار بزرگ شده و باعث واگرایی B گردد. راه حل این مشکل هنگام پیاده‌سازی پس‌زمینه آن، حذف تأثیر دامنه‌های بسیار کوچک در به روز رسانی B است که البته به کندتر شدن روند کالیبره سازی منتهی می‌شود. این مشکل در کالیبره‌سازی به صورت پیش‌زمینه وجود ندارد و می‌توان دامنه ورودی طبقه در زیر کالیبراسیون را ثابت و برابر با نقطه تصمیم‌گیری یکی از مقایسه کننده‌ها مثلاً $V_{REF}/4$ در نظر گرفت.



شکل ۶: طیف فرکانسی خروجی مبدل در حضور طبقه اول غیرخطی

جدول ۱: مقایسه عملکرد مبدل پیشنهادی با انواع مشابه

ساختار	[۴] (2003)	[۹] (2009)	[۱۰] (2014)	[۱۲] (2017)	مبدل پیشنهاد شده
فن‌آوری ساخت	N/A	90nm CMOS	0.18µ CMOS	0.18µ CMOS	0.18µ CMOS
قدرت تفکیک	۱۷ بیت	۱۲ بیت	۱۲ بیت	۱۰ بیت	۱۴ بیت
فرکانس نمونه‌برداری	N/A	200 MS/s	65 MS/s	100 MS/s	65 MS/s
نوع کالیبره‌سازی	پس‌زمینه	پیش زمینه	پیش زمینه	پس‌زمینه	پس‌زمینه
اصلاح مولفه خطی بهره	بلی	بلی	خیر	بلی	بلی
اصلاح مولفه غیرخطی بهره	خیر	بلی	خیر	خیر	بلی
SNDR(dB) SFDR(dB)	۱۰۲ N/A	۶۲ N/A	۷۰ ۷۸	۶۵.۴ ۷۲.۰۸	۸۲.۴۸ ۸۴.۵۳



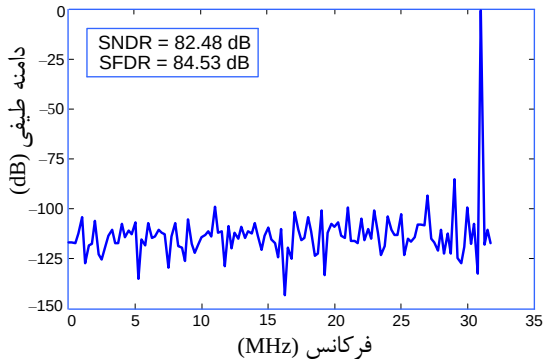
شکل ۷: چگونگی نشست ضرایب ثابت و غیرخطی بهره در الگوریتم پیشنهادی؛ الف- ضریب ثابت بهره در ۵۰۰۰ نمونه اول؛ ب- ضریب غیرخطی بهره در ۵۰۰۰ نمونه دوم؛ ج- ضریب ثابت بهره در ۵۰۰۰ نمونه سوم؛ د- ضریب غیرخطی بهره در ۵۰۰۰ نمونه چهارم

۴- نتایج شبیه‌سازی و مقایسه

کارایی مدل و الگوریتم پیشنهادی به کمک شبیه‌سازی مورد تصدیق قرار گرفت. یک مبدل آنالوگ به دیجیتال خط لوله با دقت ۱۴ بیت و با فرکانس نمونه‌برداری ۶۵MS/s در فرآیند ۰.۱۸μm CMOS شبیه‌سازی شد و الگوریم پیشنهاد شده در نرم‌افزار MATLAB بر روی آن اعمال گردید. به منظور بررسی عملکرد صحیح الگوریتم پیشنهادی، مبنای طبقه اول غیرخطی و وابسته به ولتاژ خروجی فرض شدند. با توجه به تعداد بیت‌های استخراج شده از مبدل، تعداد بیت‌های مؤثر در حالت ایده‌آل و با ورودی نایکویست برابر با ۱۴/۰۸ بیت به دست آمد. شکل (۶) طیف فرکانسی خروجی دیجیتال مبدل را با ورودی نایکویست و در حضور مبنای طبقه غیرخطی اول نشان می‌دهد. با توجه به SNDR به دست آمده، تعداد بیت‌های مؤثر در ورودی نایکویست از ۸/۱ بیت فراتر نمی‌رود. لذا الگوریتم پیشنهادی را بر روی مبدل اعمال نمودیم و با به دست آوردن بهره ثابت طبقه اول (G) و ضریب غیرخطی بهره (B)، عملکرد مبدل را اصلاح نمودیم. در ابتدا با استفاده از رابطه (۱۴)، بهره ثابت ۵۰۰۰ بار با محاسبه میزان همبستگی متوسط هر ۶۴ نمونه دیجیتال و سیگنال کالیبراسیون به روز رسانی گردید. در این مدت زمان، ضریب غیرخطی بهره ثابت نگاه داشته شده و تغییری در مقدار آن داده نشد.

شکل (۷-الف) چگونگی نشست بهره ثابت را در ۵۰۰۰ تکرار اول نشان می دهد. در پایان این دوره مقدار بهره ثابت G برابر با ۱/۹۷۷۹۳ به دست آمد. پس از آن، ۵۰۰۰ بار ضریب غیرخطی B به روز رسانی شد. شکل (۷-ب) چگونگی نشست این پارامتر را در ۵۰۰۰ تکرار دوم نمایش می‌دهد. در پایان این دوره مقدار B برابر با ۰/۰۰۸۹- به دست آمد. با توجه به مقدار به روز رسانی شده B، در مرحله سوم مجدداً بهره ثابت ۵۰۰۰ بار به روز رسانی شد (شکل (۷-ج)). مقدار آن در پایان این دوره برابر با ۱/۹۸۰۰۵

گردید. با توجه به این مقدار، مجدداً B در ۵۰۰۰ تکرار چهارم به روز رسانی شده و مقدار آن برابر با ۱۰۸/ ۰- به دست آمد. شکل (۸) طیف فرکانسی سیگنال خروجی را پس از این چهار مرحله تکرار نشان می‌دهد. در مقایسه با عملکرد مبدل قبل از اعمال کالیبراسیون، افزایش SNDR قابل توجه بوده و تعداد بیت مؤثر در فرکانس نایکویست، از ۸/۱ بیت به ۱۳/۴ بیت رسیده است. لذا مقادیر به دست آمده پس از این ۲۰۰۰۰ تکرار، برای رسیدن به دقت مورد نیاز ۱۴ بیت از مبدل کافی خواهد بود.



شکل ۸: طیف فرکانسی خروجی مبدل پس از اعمال ۲۰۰۰۰ تکرار روش کالیبراسیون پیشنهادی

جدول ۱ عملکرد مبدل پیشنهادی را با سایر مبدل‌های مشابه به همراه مدار کالیبراسیون مقایسه می‌کند. در مقایسه با سایر مبدل‌های موجود در جدول ۱، روش کالیبره‌سازی پیشنهادی به صورت پس‌زمینه پیاده‌سازی شده و قادر است که مؤلفه های خطی و غیرخطی بهره را به صورت توأم اصلاح نماید.

۵- نتیجه‌گیری

در این مقاله، قابلیت مدل‌سازی منابع خطای بهره در مبدل‌های آنالوگ به دیجیتال خط لوله مورد بررسی قرار گرفت. بر مبنای این مدل، روش نوینی مبتنی بر الگوریتم های همبستگی برای کالیبره نمودن مبنای خطی و غیرخطی طبقات ارائه شد. نتایج شبیه‌سازی، قابلیت این روش را در کالیبراسیون بهره طبقات یک مبدل ۶۵MS/s در فرآیند ساخت ۰.۱۸μm CMOS به اثبات می‌رسانند. پس از نشست ضرایب مربوط به طبقه اول، تعداد بیت‌های مؤثر مبدل تا حد قابل توجهی بهبود می‌یابد.

۶- مراجع

[۱] ن. معلمیان، ا. فرشیدی و م. رضوانی وردوم "تحلیل و طراحی یک چهاربرابر کننده ولتاژ دقیق برای به کارگیری به عنوان تقویت کننده در مبدل‌های حوزه زمان و ولتاژ"، نشریه مدل‌سازی در مهندسی، دوره ۱۴، شماره ۴۵، تابستان ۱۳۹۵، صفحه ۱۳۱-۱۲۳.

[۲] ع.ا. اروجی، ا. عنبرحیدری و ز. رمضانی، "ترانزیستور اثر میدان فلز - نیمه هادی با ناحیه بدون ناخالصی در طرف درین برای اصلاح چگالی حامل‌ها و کاربردهای توان بالا"، نشریه مدل‌سازی در مهندسی، دوره ۱۳، شماره ۴۳، زمستان ۱۳۹۴، صفحه ۱۲۷-۱۲۱.

[۳] ع.ا. اروجی، س. حیدری، "طراحی و شبیه سازی یک ترانزیستور SOI-MOSFET چند لایه‌ای برای بهبود اثرات خودگرمایی"، نشریه مدل‌سازی در مهندسی، دوره ۸، شماره ۲۳، زمستان ۱۳۸۹، صفحه ۲۳-۱۹.

[4] J. Li and U.K. Moon, "Background calibration techniques for multistage pipelined ADCs with digital redundancy", IEEE Transactions on Circuits and Systems II, Analog, Digital and Signal Processing, Vol. 50, Issue 9, Sep. 2003, pp. 531–538.

[5] B. Murmann and B.E. Boser, "A 12-bit 75 MS/s pipelined ADC using open loop residue amplification", IEEE Journal of Solid-State Circuits, Vol. 38, Issue 12, Dec. 2003, pp. 2040–2050.

[6] C. Grace, P.J. Hurst, and S. Lewis, "A 12-bit 80-MSample/s pipelined ADC with bootstrapped digital calibration", IEEE Journal of Solid-State Circuits, Vol. 40, Issue 5, May 2005, pp. 1038–1046.

[7] B.N. Fang, and W. Jieh-Tsorng, "A 10-bit 300-MS/s pipelined ADC with digital calibration and digital bias generation", IEEE Journal of Solid-State Circuits, Vol. 48, Issue 3, Mar. 2013, pp. 670–683.

[8] A. Panigada and I. Galton, "A 130 mW 100 MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction", IEEE Journal of Solid-State Circuits, Vol. 44, Issue 12, Dec. 2009, pp. 3314–3328.

[9] B. Sahoo and B. Razavi, "A 12-Bit 200-MHz CMOS ADC", IEEE Journal of Solid-State Circuits, Vol. 44,

Issue 9, Sep. 2009, pp. 2366–2380.

[10] H. Aminzadeh, "MOSFET-only pipelined analogue-to-digital converters: Non-linearity compensation by digital calibration", International Journal of Electronics, Vol. 101, Issue 2, Jan. 2014, pp. 158–173.

[11] E. Siragusa and I. Galton, "A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC", IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, Dec. 2004, pp. 2126–2138.

[12] S. Singh, V. Rawat, and A. Agarwal, "Low-power 10-bit 100 MS/s pipelined ADC in digital CMOS technology", IET Circuits, Devices & Systems, Vol. 11, Issue 6, Nov. 2017, pp. 589–596.

[13] X. Wang, P. Hurst, and S. Lewis, "A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital background calibration", IEEE Journal of Solid-State Circuits, Vol. 39, Issue 11, Nov. 2004, pp. 1799–1808.

[14] M. Gande, H. Venkatram, H.Y. Lee, J. Guerber, and U.K. Moon, "Blind calibration algorithm for nonlinearity correction based on selective sampling", IEEE Journal of Solid-State Circuits, Vol. 49, Issue 8, Aug 2014, pp. 1715–1724.