Journal of Modeling in Engineering 22 (2024) 115-122

Semnan University

Journal of Modeling in Engineering

Journal homepage: https://modelling.semnan.ac.ir/

ISSN: 2783-2538

Research Article

Improving Performance of Germanium-Based Vertical Tunneling Field Effect Transistor Using GaAs as Channel

Shoeib Babaee Touski [a], Mohammad Javad Rezaei [b], Manouchehr Hosseini [c,*]

[a] *Assistant Professor, Department of Electrical Engineering, Hamedan University of Technology, Hamedan, Iran*
[b] *MSc, Department of Electrical Engineering, Hamedan University of Technology, Hamedan, Iran*
[c] *Professor, Department of Electrical Engineering, Bu-Ali Sina University, Hamedan, Iran*

PAPER INFO

Paper history:

Received: 04 March 2022
Revised: 03 April 2023
Accepted: 01 October 2023

Keywords:

Vertical transistor,
Tunneling,
Silvaco,
Germanium,
Gallium arsenide,
On-current,
Off-Current.

ABSTRACT

In this paper, Germanium-based vertical tunneling transistors are investigated and the electrical properties of the transistor in two modes of Germanium utilization as well as Gallium Arsenide as the channel are compared. The simulation of this transistor was performed by Silvaco software using non-local tunneling model. The results show that more ON-current, less OFF-current and less bipolar current at negative gate voltage are the advantages of using Gallium Arsenide instead of Germanium as the channel. In the following, the channel parameters are changed and the effect of their change on the behavior of the transistor is studied. Increasing the channel length reduces the Off-current and increases the On-current to Off-current ratio, as well as reducing the sub-threshold slope. On the other hand, increasing the channel width reduces On-current to Off-current ratio and increases the sub-threshold slope. The On-current to Off-current ratio increases with increasing channel length and decreasing channel width, and increases to $1.5 \times 10 + 15$.

DOI: https://doi.org/10.22075/jme.2023.26379.2231

© 2024 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

*** Corresponding author.**
E-mail address: m.hosseini@basu.ac.ir

How to cite this article:
Babaei tooski, S., Rezaei, M. J., & Hoseini, S. M. (2024). Improving Performance of Germanium-Based Vertical Tunneling Field Effect Transistor Using GaAs as Channel. Journal of Modeling in Engineering, 22(76), 115-122. doi: 10.22075/jme.2023.26379.2231

مقاله پژوهشی

بهبود عملکرد ترانزیستور تونل زنی عمودی مبتنی بر ژرمانیوم با به‌کارگیری GaAs به عنوان کانال

شعیب بابایی توسکی[۱]، محمدجواد رضایی[۲]، سید منوچهر حسینی[۳،*]

اطلاعات مقاله

دریافت مقاله: ۱۴۰۰/۱۲/۱۳
بازنگری مقاله: ۱۴۰۲/۰۱/۱۴
پذیرش مقاله: ۱۴۰۲/۰۷/۰۹

واژگان کلیدی:
ترانزیستور عمودی،
تونل زنی،
سیلواکو،
ژرمانیوم،
گالیوم-آرسنایید،
جریان روشنایی،
جریان خاموشی.

چکیده

در این مقاله ترانزیستور تونل‌زنی عمودی مبتنی بر ژرمانیوم بررسی شده‌است. ویژگی‌های الکتریکی ترانزیستور در دو حالت استفاده از ژرمانیوم و همچنین استفاده از گالیوم-آرسنایید به عنوان کانال مقایسه شده و شبیه‌سازی آن توسط نرم‌افزار سیلواکو و با استفاده از مدل تونل‌زنی غیر محلی انجام شده‌است. نتایج نشان می‌دهد که جریان روشنایی بیشتر، جریان خاموشی کمتر و جریان دوقطبی درین کمتر در ولتاژ گیت منفی از مزایای استفاده از گالیوم-آرسنایید به جای ژرمانیوم به عنوان کانال است. در ادامه، پارامترهای کانال تغییر داده شده‌اند و اثر تغییر آن‌ها بر روی رفتار ترانزیستور مطالعه شده‌است. افزایش طول کانال باعث کاهش جریان خاموشی و افزایش نسبت جریان روشنایی به خاموشی شده و همچنین باعث کاهش شیب زیرآستانه می‌شود. از طرف دیگر، افزایش عرض کانال، باعث کاهش نسبت جریان روشنایی به خاموشی و افزایش شیب زیرآستانه می‌شود. نسبت جریان روشنایی به خاموشی با افزایش طول کانال و کاهش عرض کانال افزایش می‌یابد و این نسبت می‌تواند تا ۱۵+۱۰×۱/۵ افزایش پیدا کند.

DOI: https://doi.org/10.22075/jme.2023.26379.2231

© 2024 Published by Semnan University Press.
This is an open access article under the CC-BY 4.0 license.(https://creativecommons.org/licenses/by/4.0/)

۱- مقدمه

کاهش ولتاژ و ابعاد یک راه مؤثر برای کاهش توان در قطعات الکترونیکی است. اگرچه، این کاهش با توجه به اثرات کانال کوتاه در ابعاد نانومتر به مشکل برخورد کرده‌است. اثرات کانال کوتاه باعث افزایش جریان خاموشی و در نتیجه توان اتلافی می‌شود [۱]. یک راه مؤثر برای کاهش ولتاژ تغذیه و هم‌زمان کوچک نگه‌داشتن جریان خاموشی، کاهش شیب زیرآستانه (sub-threshold swing) است. از طرفی، شیب زیرآستانه به 60mV/dec برای ترانزیستورهای اثر میدان معمولی محدود شده است و با توجه به جریان گرمایی امکان کاهش بیشتر نیست.

برای حل این مشکل، دانشمندان راه‌حل‌های مختلفی ارائه داده‌اند. ترانزیستور اثر میدان تونل‌زنی (Tunneling Field Effect Transistors) با شیب زیرآستانه کم به عنوان یک گزینه برای جایگزین ترانزیستورهای معمولی پیشنهاد شده‌است [۲-۱۱]. به عنوان نمونه، ترانزیستور تونل‌زنی مبتنی بر فسفر سیاه که شیب زیرآستانه متوسط برای ۴ دهه افزایش جریان برای این ترانزیستور 22.9meV/dec گزارش شده است [۱۲].

ترانزیستور اثر میدان تونل‌زنی علاوه بر شیب زیرآستانه‌ی

* پست الکترونیک نویسنده مسئول:m.hosseini@basu.ac.ir
۱. استادیار، دانشکده مهندسی برق، دانشگاه صنعتی همدان، همدان، ایران
۲. دانشجو، دانشکده مهندسی برق، دانشگاه صنعتی همدان، همدان، ایران
۳. استاد، دانشکده مهندسی برق، دانشگاه بوعلی سینا، همدان، ایران

استناد به این مقاله:
بابایی توسکی، شعیب، رضایی، محمد جواد، و حسینی، سید منوچهر. (۱۴۰۳). بهبود عملکرد ترانزیستور تونل زنی عمودی مبتنی بر ژرمانیوم با به‌کارگیری GaAs به عنوان کانال. مدل سازی در مهندسی، ۲۲(۷۶)، ۱۱۵-۱۲۲. doi: 10.22075/jme.2023.26379.2231

پایین، جریان خاموش کمی هم دارا هستند. این دو خاصیت باعث کاهش توان در ترانزیستورها خواهد شد [۱۳-۱۶]. آن‌ها همچنین جریان روشنایی کمتری از خود نشان می‌دهند. یک راه معمول برای حل این مشکل، استفاده از یک ماده با شکاف انرژی کوچک مثل ژرمانیوم در طرف سورس است [۱۷-۱۹]. این شکاف انرژی کوچک باعث کاهش سد پتانسیل و افزایش جریان روشنایی خواهد شد. راه‌حل دیگر، استفاده از ترانزیستور تونل‌زنی عمودی (Vertical Tunneling FET) است [۲۰]. در ترانزیستور تونل‌زنی عمودی، سورس، کانال و درین به صورت عمودی رشد کرده‌اند و امکان افزایش مقدار جریان با افزایش سطح ترانزیستور وجود دارد که می‌تواند مشکل جریان روشنایی را برطرف کند.

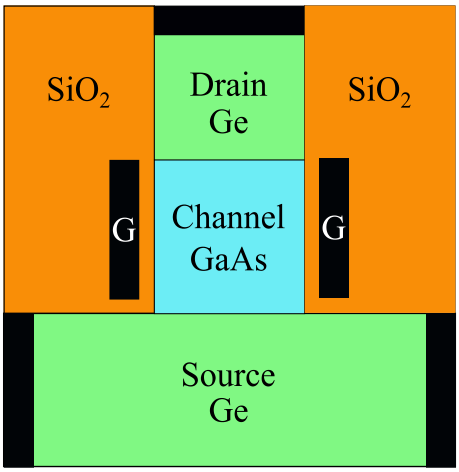
مشکل دیگر ترانزیستورهای تونل‌زنی، جریان دوقطبی (Ambipolar Current) آن‌ها است [۱۷ و ۲۱]. بدین معنا که به ازای ولتاژ گیت‌های منفی همانند ولتاژ گیت مثبت، جریان قابل ملاحظه‌ای ایجاد می‌گردد. این پدیده باعث شده‌است که ترانزیستور تونل‌زنی در یک محدوده‌ی ولتاژ مطمئن خاموش نباشد و استفاده از آن در خیلی از مدارات با مشکل روبرو شود. برای حل این مشکل، روش‌های مختلفی پیشنهاد شده‌است. استفاده از یک جداکننده مابین درین و گیت، همپوشانی گیت بر روی درین و کاهش چگالی ناخالصی طرف درین از جمله راه‌حل‌هایی است که ارائه شده‌است. یک راه‌حل دیگر، استفاده از ساختارهای ناهمگون است [۲۲]. بدین معنا که استفاده از یک ماده‌ی دیگر با شکاف انرژی بالا در طرف درین باعث افزایش عرض تونل-زنی در طرف درین و کاهش جریان دوقطبی می‌گردد. در مقاله‌ای دیگر، ساختار T شکلی که دارای دو سورس است و از ۲ ماده در کانال استفاده می‌کند، برای کاهش این جریان پیشنهاد شده‌است [۲۳].

ساختار ناهمگون ژرمانیوم/گالیوم-آرسنایدِ با ثابت شبکه های یکسان و تحرک پذیری بالا در ترانزیستور معمولی و تونل‌زنی مورد توجه قرار گرفته‌است [۲۴-۲۶]. در این ترانزیستورها، استفاده از ساختار ناهمگون باعث کاهش شیب زیرآستانه می‌شود [۲۷]. ترانزیستور تونل‌زنی مبتنی بر ساختار ناهمگون ژرمانیوم - گالیوم-آرسنایدِ دارای جریان روشنایی $76.8\ \mu A/\mu m$، جریان خاموشی بسیار کم $7.4\times10^{-17}A/\mu m$ و شیب زیرآستانه‌ی 5.73 mV/dec است [۲۸]. در کار دیگر، ساختار ناهمگون Ge/GaAs در ترانزیستور تونل‌زنی افقی با استفاده از تونل زنی عمودی در کنار تونل‌زنی افقی مورد بررسی قرار گرفته‌است. این ترانزیستور با طول کانال ۵ نانومتر و ولتاژ درین ۰/۲ ولت، جریان روشنایی $142\ \mu A/\mu m$، شیب زیرآستانه‌ی 29.1mV/dec و نسبت جریان روشنایی به خاموشی 1.27×10^{7} دارد [۲۹].

در این کار، یک ترانزیستور تونل‌زنی عمودی مبتنی بر ژرمانیوم مورد مطالعه قرار گرفته‌است. نوآوری این کار استفاده از گالیوم-آرسنایدِ به عنوان کانال در ترانزیستوری مبتنی بر ژرمانیوم است. شکاف انرژی بیشتر گالیوم-آرسنایدِ نسبت به ژرمانیوم، بهبود عملکرد ترانزیستور را به دنبال خواهد داشت. در بخش ۲، روش شبیه‌سازی افزار و مدل‌های مربوطه توضیح داده شده‌است. در بخش ۳، نتایج شبیه‌سازی این ترانزیستور ارائه شده‌است و نتایج با ترانزیستور تونل‌زنی عمودی مبتنی بر ساختار همگون ژرمانیوم مقایسه شده‌است. نتایج کار در بخش ۴ بررسی شده‌است.

۲- جزییات محاسبات

شکل (۱) ساختار ترانزیستور تونل‌زنی عمودی را نشان می دهد که در این کار مورد بررسی قرار گرفته‌است.



شکل ۱- ساختار ترانزیستور تونل‌زنی عمودی

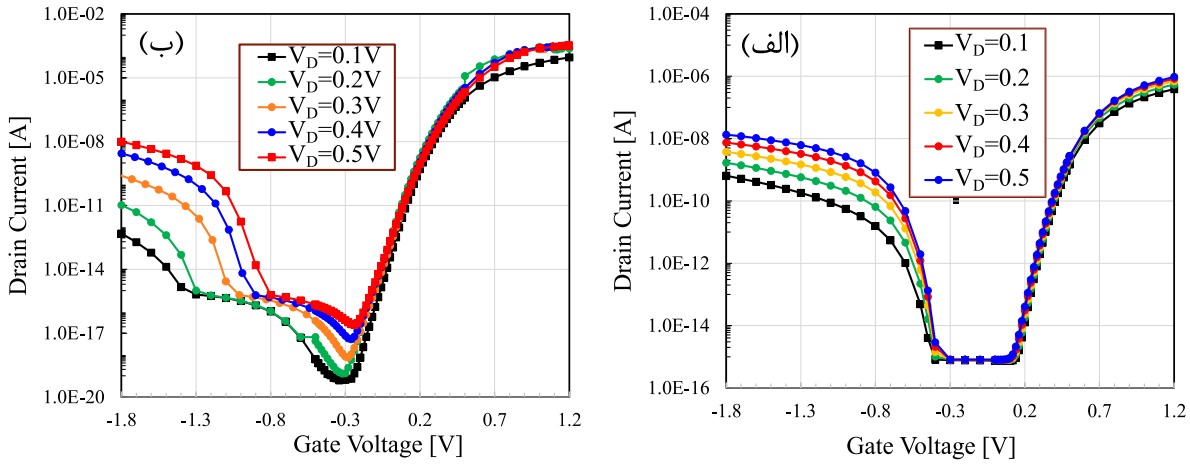
شبیه سازی‌های این کار توسط نرم‌افزار سیلواکو (Silvaco) انجام شده‌است. در این ترانزیستور، از مدل تونل‌زنی باند-به-باند غیر محلی (non-local band-to-band tunneling) برای محاسبه نرخ تونل‌زنی استفاده شده‌است. همچنین از مدل‌های شاکلی-رید-هال (SRH) و اوژه (Auger) برای محاسبه بازترکیب حامل‌های الکتریکی استفاده شده‌است. از مدل CVT برای محاسبه قابلیت

تحرک در حضور میدان الکتریکی عمودی، چگالی ناخالصی و پراکنش وابسته به دما استفاده می‌شود. نیمه‌هادی قسمت سورس و درین از جنس ژرمانیوم انتخاب شده و جنس نیمه‌هادی کانال یک بار ژرمانیوم و بار دیگر گالیوم-آرسناید در نظر گرفته شده‌است تا اثر تغییر جنس نیمه‌هادی مورد بررسی قرار گیرد. طول کانال ۱۵ نانومتر و عرض کانال ۱۰ نانومتر در نظر گرفته شده‌است. برای ماده دی‌الکتریک از اکسید سیلیسیم استفاده شده‌است.

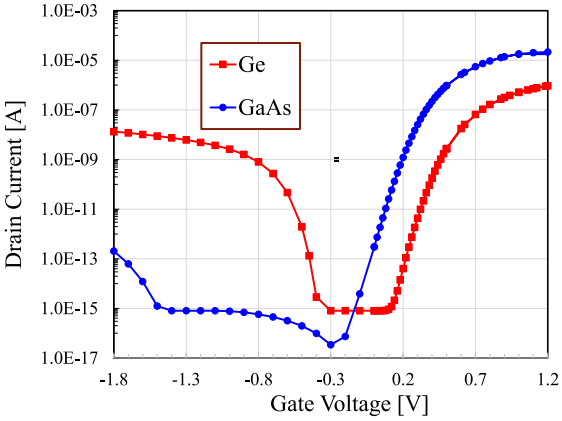
۳- نتایج

در شکل (۲) جریان درین به صورت تابعی از ولتاژ گیت برای ترانزیستور مبتنی بر (الف) ژرمانیوم و (ب) گالیوم-آرسناید برای ولتاژ درین‌های مختلف نشان داده شده‌است. به ازای ولتاژ درین برابر ۰/۵ ولت، جریان روشنایی درین مبتنی بر ژرمانیوم (جریان درین با اعمال ولتاژ گیت ۱/۲ ولت) برابر است با $۹/۵\times۱۰^{-۷}$ آمپر بر متر و جریان مذکور برای ترانزیستور مبتنی بر گالیوم-آرسناید برابر $۳/۳\times۱۰^{-۴}$ آمپر بر متر است. همان‌گونه که مشخص است جریان روشنایی ترانزیستور مبتنی بر گالیوم-آرسناید حدود ۳۵۰ برابر بزرگ‌تر است. در ولتاژهای درین دیگر نیز بزرگی جریان روشنایی ترانزیستور مبتنی بر گالیوم-آرسناید نسبت به ژرمانیوم در همین رنج است. جریان خاموشی (جریان درین با اعمال ولتاژ گیت برابر ۰/۳- ولت) برای ترانزیستور مبتنی بر ژرمانیوم و همچنین ترانزیستور مبتنی بر گالیوم آرسناید به ازای ولتاژ درین برابر ۰/۵ ولت به ترتیب برابر $۸/۱\times۱۰^{-۱۶}$ و $۴/۱\times۱۰^{-۱۷}$ آمپر بر متر است که نشان‌دهنده این است که جریان خاموشی نیز برای ترانزیستور مبتنی گالیوم-آرسناید حدود ۲۰ برابر کوچک‌تر است. به ازای ولتاژ درین ۰/۵ ولت، نسبت جریان روشنایی به خاموشی ترانزیستور مبتنی بر ژرمانیوم و ترانزیستور مبتنی بر گالیوم-آرسناید به ترتیب برابر $۱/۲\times۱۰^{+۹}$ و $۸/۰\times۱۰^{+۱۲}$ است که نشان‌دهنده نسبت جریان روشنایی به خاموشی بسیار بزرگ‌تر در ترانزیستور مبتنی بر گالیوم-آرسناید است. علت نسبت بالای جریان روشنایی به خاموشی ناشی از بزرگ‌تر بودن شکاف انرژی گالیوم-آرسناید نسبت به شکاف انرژی ژرمانیوم است که باعث کوچک شدن جریان خاموشی می‌شود و از طرفی با کوچک‌تر شدن فاصله‌ی تونل‌زنی، جریان روشنایی افزایش می‌یابد.

کاهش ولتاژ تغذیه نیز نسبت جریان روشنایی به خاموشی را افزایش می‌دهد و برای ولتاژ درین ۰/۱ ولت، این نسبت در ترانزیستور مبتنی بر گالیوم-آرسناید برابر $۱/۴\times۱۰^{+۱۵}$ خواهد بود. نکته حائز اهمیت این است که در ترانزیستور مبتنی بر گالیوم-آرسناید، جریان دوقطبی درین با بزرگ شدن ولتاژ منفی گیت افزایش کمتری را نسبت به همین جریان در ترانزیستور مبتنی بر ژرمانیوم دارد که خود یکی از مزیت های ترانزیستور مبتنی بر گالیوم-آرسناید محسوب می‌شود. شکل (۳) جریان درین را به صورت تابعی از ولتاژ گیت ترانزیستور مبتنی بر ژرمانیوم و همچنین ترانزیستور مبتنی بر گالیوم-آرسناید به ازای ولتاژ درین ۰/۵ ولت برای مقایسه بهتر نشان می‌دهد.



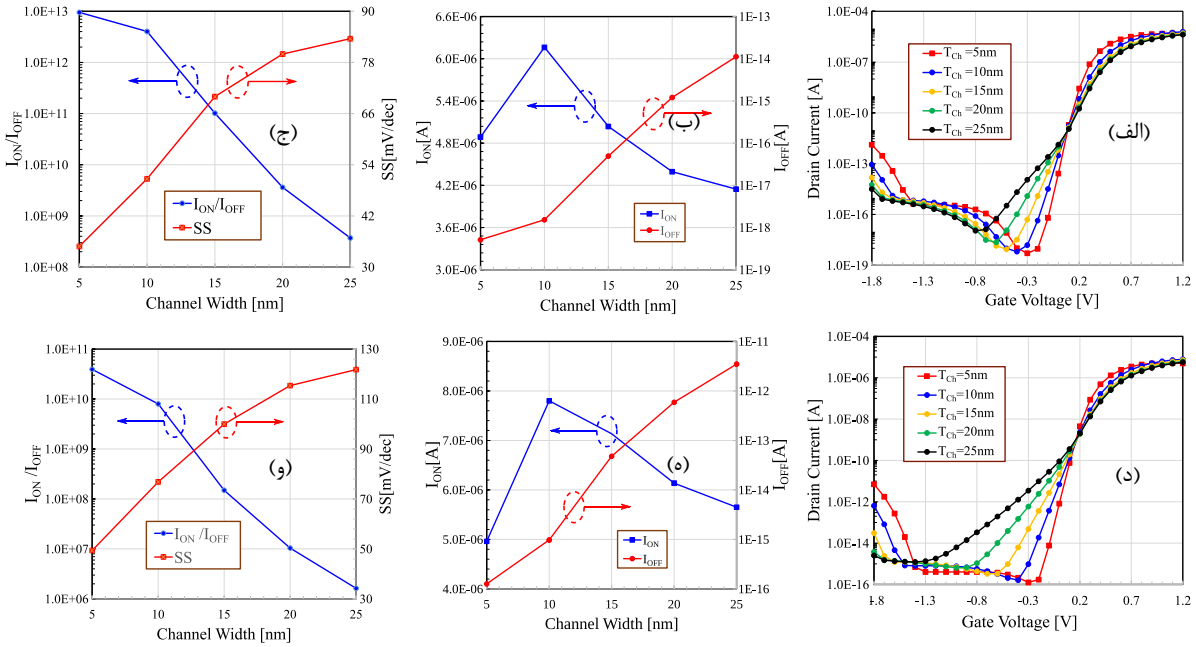
شکل ۲ – جریان درین به صورت تابعی از ولتاژ گیت برای ترانزیستور تونل زنی عمودی مبتنی بر الف) ژرمانیوم و ب) گالیم-آرسناید.



شکل ۳- مقایسه جریان درین ترانزیستور تونل زنی مبتنی بر ژرمانیوم و مبتنی بر گالیوم-آرسنایدِ.

همان‌گونه که در این شکل نیز مشخص است، جریان روشنایی بزرگ‌تر، جریان خاموشی کوچک‌تر و جریان دوقطبی کوچک در ولتاژهای منفی هم از مزیت‌های ترانزیستور مبتنی بر گالیوم-آرسنایدِ است. لازم به ذکر است استفاده از گالیوم-آرسنایدِ به عنوان کانال ترانزیستور مبتنی بر ژرمانیوم، فرآیند ساخت آن را دشوارتر خواهد کرد، اما با توجه به مزایای بیان‌شده در خصوص پارامترهای این ترانزیستور، به نظر می‌رسد که ساخت آن در آینده مورد توجه قرار گیرد. از طرفی، با توجه به یکسان بودن ثابت شبکه این دو ماده، رشد گالیوم-آرسنایدِ بر روی ژرمانیوم بدون تنش امکان‌پذیر است.

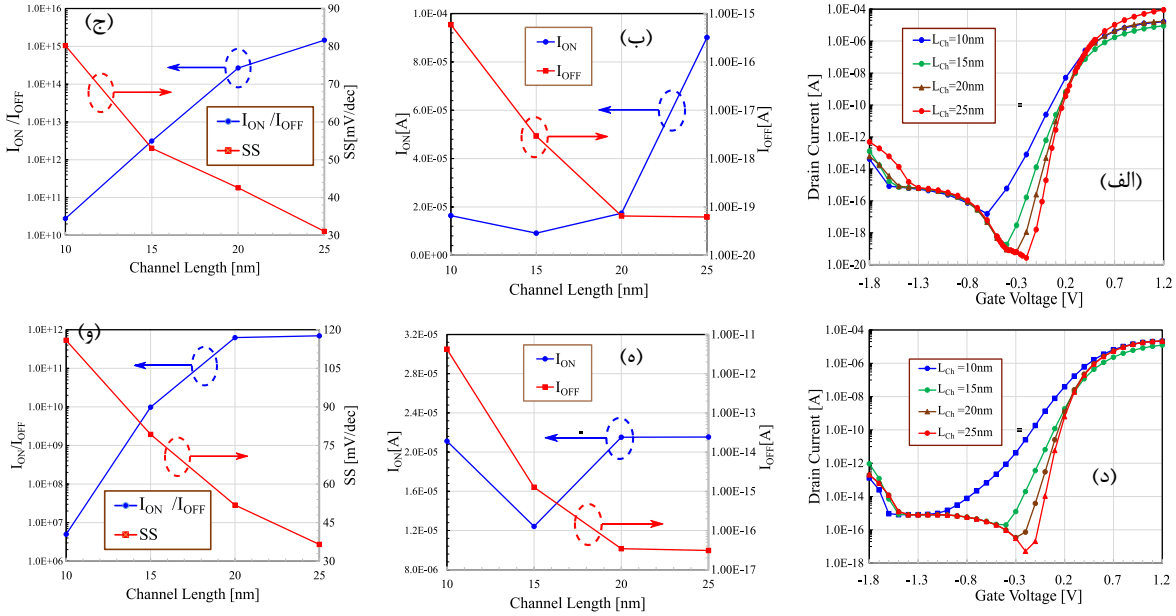
شکل (۴-الف) و (۴-د) جریان درین را به صورت تابعی از ولتاژ گیت برای ترانزیستور مبتنی بر گالیوم-آرسنایدِ و به ازای عرض مختلف کانال نشان می‌دهد. ولتاژ درین در (الف، ب، ج) ۰/۱ ولت و در (د، ه، و) ۰/۵ ولت در نظر گرفته شده‌است. همان‌گونه که در این شکل مشخص است، افزایش عرض کانال باعث کاهش شیب زیرآستانه (Subthreshold Slope) و در نتیجه افزایش پرش زیر-آستانه (Subthreshold Swing) خواهد شد.



شکل ۴ – جریان درین به صورت تابعی از ولتاژ گیت به ازای ضخامت‌های مختلف کانال (T_{ch}) و (الف) ولتاژ درین ۰/۱ ولت و (د) ولتاژ درین ۰/۵ ولت. جریان روشنایی و جریان خاموشی برای (ب) ولتاژ درین ۰/۱ ولت و (ه) ولتاژ درین ۰/۵ ولت. قابل توجه است که محور جریان روشنایی خطی و جریان خاموشی به صورت لگاریتمی است. نسبت جریان روشنایی به جریان خاموشی و پرش زیرآستانه برای (ج) ولتاژ درین ۰/۱ ولت و (و) ولتاژ درین ۰/۵ ولت.

افزایش عرض کانال تأثیر چندانی در جریان روشنایی ندارد اما جریان خاموشی را افزایش می‌دهد و در نتیجه نسبت جریان روشنایی به جریان خاموشی کاهش می‌یابد. جریان روشنایی، جریان خاموشی، نسبت جریان روشنایی به خاموشی و همچنین پرش زیرآستانه برای ولتاژ درین ۰/۱ ولت در شکل‌های (۴-ب) و (۴-ج) و همچنین برای ولتاژ درین ۰/۵ ولت در شکل‌های (۴-ه) و (۴-و) به صورت تابعی از ضخامت کانال نشان داده شده‌است. جریان خاموشی با افزایش عرض کانال از ۵ به ۲۵ نانومتر بیش از $۱۰^{+۴}$ مرتبه افزایش پیدا می‌کند در حالی که، جریان روشن تغییر زیادی

ندارد. نسبت جریان روشنایی به خاموشی با تغییر عرض کانال از ۵ تا ۲۵ نانومتر حدود $۲/۶\times۱۰^{+۴}$ مرتبه کاهش پیدا می‌کند. پرش زیرآستانه برای ضخامت‌های مختلف کانال در شکل های (۴-ج) و (۴-و) به ترتیب برای ولتاژ درین ۰/۱ ولت و ۰/۵ ولت نشان داده شده‌است. افزایش ضخامت کانال افزایش پرش زیرآستانه را به دنبال دارد. همان‌گونه که در شکل مشخص است، افزایش طول کانال از ۵ تا ۲۵ نانومتر، پرش زیرآستانه را حدود ۲/۴ برابر افزایش می‌دهد. افزایش ولتاژ درین از ۰/۱ ولت به ۰/۵ نیز باعث کاهش حدود ۳۰ درصدی پرش زیرآستانه می‌گردد. با توجه به اثر القا درین بر کاهش سد ولتاژ (Drain induced barrier lowering)، ولتاژ بالای درین اثر بیشتری بر کانال خواهد داشت که باعث افزایش جریان خاموشی و افزایش پرش زیرآستانه می‌گردد.



شکل ۵ – جریان درین به صورت تابعی از ولتاژ گیت به ازای طول مختلف کانال (L_{ch}) و (الف) ولتاژ درین ۰/۱ ولت و (د) ولتاژ درین ۰/۵ ولت. جریان روشنایی و جریان خاموشی برای (ب) ولتاژ درین ۰/۱ ولت و (ه) ولتاژ درین ۰/۵ ولت. قابل توجه است که محور جریان روشنایی خطی و جریان خاموشی به صورت لگاریتمی است. نسبت جریان روشنایی به جریان خاموشی و پرش زیرآستانه برای (ج) ولتاژ درین ۰/۱ ولت و (و) ولتاژ درین ۰/۵ ولت.

شکل (۵-الف) و (۵-د) جریان درین را به صورت تابعی از ولتاژ گیت برای ترانزیستور مبتنی بر گالیوم-آرسنایدو به ازای طول‌های مختلف کانال نشان می‌دهد. ولتاژ درین در (الف) ۰/۱ ولت و در (د) ۰/۵ ولت در نظر گرفته شده است. افزایش طول کانال از ۱۰ تا ۲۵ نانومتر تأثیر چندانی در جریان روشنایی ندارد، اما کاهش جریان خاموشی را به دنبال دارد. این کاهش تا حدود ۵ دهه برای ولتاژ درین ۰/۵ ولت است که باعث می‌گردد نسبت جریان روشنایی به خاموشی با این افزایش طول کانال از $۵/۰\times۱۰^{+۶}$ به $۷/۰\times۱۰^{+۱۱}$ افزایش یابد و البته این تغییر برای ولتاژ درین ۰/۱ ولت از مقدار $۲/۸\times۱۰^{+۱۰}$ به $۱/۵\times۱۰^{+۱۵}$ خواهد بود. همان‌گونه که در توضیح شکل (۴) بیان شد، نسبت جریان روشنایی به خاموشی در ولتاژهای درین کوچک، بزرگ‌تر است و اثر تغییر طول و یا عرض کانال در ولتاژ درین کوچک، کمتر از این اثر در ولتاژ درین بزرگ خواهد بود.

۴- نتیجه‌گیری

در این مقاله ترانزیستور تونل‌زنی عمودی مبتنی بر ژرمانیوم با استفاده از گالیوم-آرسنایدبه جای ژرمانیوم به عنوان کانال ترانزیستور مورد بررسی قرار گرفته‌است. ویژگی‌های الکتریکی ترانزیستور در دو حالت استفاده از ژرمانیوم و همچنین استفاده از گالیوم-آرسنایدبه عنوان کانال مقایسه شده است. نتایج نشان می‌دهد که جریان روشنایی بیشتر، جریان خاموشی کمتر و جریان دوقطبی درین کمتر در ولتاژ گیت منفی، از مزایای استفاده از گالیوم-آرسنایدبه جای ژرمانیوم به عنوان کانال است. نسبت جریان روشنایی به خاموشی با افزایش طول کانال و کاهش عرض کانال افزایش

می‌یابد و این نسبت می‌تواند تا $۱/۵\times۱۰^{+۱۵}$ افزایش پیدا کند. در ادامه می‌توان جایگزینی مواد دیگر در کانال مورد بررسی قرار داد. به عنوان مثال، آلومنیوم-آرسنایدبا ثابت شبکه‌ی یکسان و شکاف انرژی بیشتر نسبت به گالیوم-آرسنایدمی‌تواند باعث کاهش جریان خاموشی و بهبود عملکرد ترانزیستور گردد. علاوه بر این، می توان استفاده از این مواد را به عنوان کانال در ترانزیستورهای نوین از جمله ترانزیستور T شکل مبتنی بر ژرمانیوم بررسی کرد.

مراجع

[1] R.H. Yan, A. Ourmazd, and K.F. Lee. "Scaling the Si MOSFET: From bulk to SOI to bulk." *IEEE Transactions on Electron Devices* 39, no. 7 (1992): 1704-1710.

[2] K. Nakamura, N. Nagamura, K. Ueno, T. Taniguchi, K. Watanabe, and K. Nagashio. "All 2D heterostructure tunnel field-effect transistors: impact of band alignment and heterointerface quality." *ACS Applied Materials & Interfaces* 12, no. 46 (2020): 51598-51606.

[3] F. Najam, and Y.S. Yu. "Impact of quantum confinement on band-to-band tunneling of line-tunneling type L-shaped tunnel field-effect transistor." *IEEE Transactions on Electron Devices* 66, no. 4 (2019): 2010-2016.

[4] I. Gayduchenko, S.G. Xu, G. Alymov, M. Moskotin, I. Tretyakov, T. Taniguchi, K. Watanabe, G. Goltsman, A.K. Geim, G. Fedorov, and D. Svintsov. "Tunnel field-effect transistors for sensitive terahertz detection." *Nature Communications* 12, no. 1 (2021): 543.

[5] C.S. Pang, S.J. Han, and Z. Chen. "Steep slope carbon nanotube tunneling field-effect transistor." *Carbon* 180 (2021): 237-243.

[6] B. Abdi Tahneh, and A. Naderi. "A new tunneling carbon nanotube field effect transistor with linear doping profile at drain region: numerical simulation study." *Journal of Modeling in Engineering* 16, no. 52 (2018): 109-117. (in Persian)

[7] A. Naderi, and M. Ghodrati. "Improvement in the Performance of Tunneling Carbon Nanotube Field Effects Transistor in Presence of Underlap." *Journal of Modeling in Engineering* 17, no. 59 (2019): 215-224. (in Persian)

[8] A.A. Orouji, A. Anbarheydari, and Z. Ramezani. "4H-SiC MESFET with darin-side and undoped region for modifying charge distribution and high power applications." *Journal of Modeling in Engineering* 13, no. 43 (2015): 121-127. (in Persian)

[9] S.S. Afzali, A.A. Orouji, and Z. Ramezani. "Triple-Gate MOSFET Transistor using the Silicon-Germanium Tunneling Diode for Kink Effect Improvement." *Tabriz Journal of Electrical Engineering* 48, no. 3 (2018): 985-990. (in Persian)

[10] N. Bashiri, and R. Hosseini. "Design and Analysis of a Multi Material Double Gate Junctionless Tunnel Field Effect Transistor." *Journal of Iranian Association of Electrical and Electronics Engineers* 18, no. 4 (2021): 71-77. (in Persian)

[11] S.M. Sajjadi, and S. Mohammadi. "Effects of Energy Band Gap Traps on Drain Current in Tunneling Field Effect Transistors." *Tabriz Journal of Electrical Engineering* 50, no. 4 (2021): 1639-1645. (inPersian)

[12] S. Kim, G. Myeong, W. Shin, H. Lim, B. Kim, Ta. Jin, S. Chang, K. Watanabe, T. Taniguchi, and S. Cho. "Thickness-controlled black phosphorus tunnel field-effect transistor for low-power switches." *Nature Nanotechnology* 15, no. 3 (2020): 203-206.

[13] A.C. Seabaugh, and Q. Zhang. "Low-voltage tunnel transistors for beyond CMOS logic." P*roceedings of the IEEE* 98, no. 12 (2010): 2095-2110.

[14] T. Krishnamohan, D. Kim, S. Raghunathan, and K. Saraswat. "Double-Gate Strained-Ge Heterostructure Tunneling FET (TFET) With record high drive currents and≪ 60mV/dec subthreshold slope." I*n 2008 IEEE International Electron Devices Meeting*, pp. 1-3. IEEE, 2008.

[15] P.F. Wang, K. Hilsenbeck, T. Nirschl, M. Oswald, C. Stepper, M. Weis, D. Schmitt-Landsiedel, and W. Hansch. "Complementary tunneling transistor for low power application." *Solid-State Electronics* 48, no. 12 (2004): 2281-2286.

[16] K. Boucart, and A.M. Ionescu. "Double-gate tunnel FET with high-$\kappa $ gate dielectric." *IEEE Transactions on Electron Devices* 54, no. 7 (2007): 1725-1733.

[17] K.K Bhuwalka, J. Schulze, and I. Eisele. "A simulation approach to optimize the electrical parameters of a vertical tunnel FET." *IEEE Transactions on Electron Devices* 52, no. 7 (2005): 1541-1547.

[18] A.S.Verhulst, W.G. Vandenberghe, K. Maex, S. De Gendt, M.M. Heyns, and G. Groeseneken. "Complementary silicon-based heterostructure tunnel-FETs with high tunnel rates." *IEEE electron device letters* 29, no. 12 (2008): 1398-1401.

[19] T. Krishnamohan, D. Kim, C.D. Nguyen, C. Jungemann, Y. Nishi, and K.C. Saraswat. "High-mobility low band-to-band-tunneling strained-germanium double-gate heterostructure FETs: Simulations." *IEEE Transactions on Electron Devices* 53, no. 5 (2006): 1000-1009.

[20] S. Singh, and B. Raj. "Analytical and compact modeling analysis of a SiGe hetero-material vertical L-shaped TFET." *Silicon* 14, no. 5 (2022): 2135-2145.

[21] J. Yu, S. Kim, D. Ryu, K. Lee, C. Kim, J.H. Lee, S. Kim, and B.G. Park. "Investigation on ambipolar current suppression using a stacked gate in an L-shaped tunnel field-effect transistor." *Micromachines* 10, no. 11 (2019): 753.

[22] D.B. Abdi, and M. Jagadesh Kumar. "Controlling ambipolar current in tunneling FETs using overlapping gate-on-drain." *IEEE Journal of the Electron Devices Society* 2, no. 6 (2014): 187-190.

[23] S. Kumar, K.S. Singh, K. Nigam, and S. Chaturvedi. "Ambipolarity suppressed dual-material double-source T-shaped tunnel field-effect transistor." *Silicon* 13 (2021): 2065-2070.

[24] J.S. Kim, Y.J. Yoon, J.H. Seo, Y.I. Jang, J.H. Lee, S. Cho, G.M. Yoo, and I.M. Kang. "High-performance Ge/GaAs heterojunction tunneling FET with a channel engineering for sub-0.5 V operation." *Semiconductor Science and Technology* 30, no. 3 (2015): 035020.

[25] C. Rajan, D. Sharma, and D.P. Samajdar. "Implementation of physical unclonable functions using hetero junction based GAA TFET." *Superlattices and Microstructures* 126 (2019): 72-82.

[26] R. Juyal, and S.S. Chauhan. "TCAD simulation of Ge-GaAs hetrojunction dopingless tunnel field effect transistor." *In 2016 International Conference on Communication and Signal Processing (ICCSP)*, pp. 1434-1437. IEEE, 2016.

[27] B.C. Mech, K. Koley, and J. Kumar. "Ge–GaAs–Ge heterojunction MOSFETs for mixed-signal applications." *IEEE Transactions on Electron Devices* 67, no. 9 (2020): 3585-3591.

[28] M.F. Jawad, T. Rahman, and J.K. Saha. "Performance enhancement of ge/gaas heterostructure tunnelling field effect transistor." *In 2020 IEEE 10th International Conference Nanomaterials: Applications & Properties (NAP)*, pp. 01TPNS02-1. IEEE, 2020..

[29] Y.J. Yoon, J.H. Seo, S. Cho, H.I. Kwon, J.H. Lee, and I.M. Kang. "Sub-10 nm Ge/GaAs heterojunction-based tunneling field-effect transistor with vertical tunneling operation for ultra-low-power applications." *JSTS: Journal of Semiconductor Technology and Science* 16, no. 2 (2016): 172-178.