

طراحی و شبیه‌سازی فلیپ فلاپ دولبه پویا با سرعت بالا و توان مصرفی پایین

شهریار جاماسب^{۱*}، مجتبی مظاهری^۲

اطلاعات مقاله	چکیده
دریافت مقاله: پذیرش مقاله:	
واژگان کلیدی: فلیپ فلاپ ایستا فلیپ فلاپ پویا فلیپ فلاپ دو لبه CMOS نانومتری سرعت بالا توان مصرفی پایین	کاهش همزمان سرعت و توان مصرفی در المان‌های حافظه دوپایا، با توجه به آنکه معمولاً یک رابطه جانشینی بین سرعت و توان وجود دارد، هدفی چالش برانگیز محسوب می‌شود. یک فلیپ فلاپ دو لبه پویا طراحی شده که سریعتر از مدار استاندارد ایستای (اصلی-فرعی) عمل می‌کند، با استفاده از تعداد کمتری ترانزیستور، مصرف انرژی کمتری دارد. توپولوژی پیشنهادی برای فلیپ فلاپ دو لبه پویا یک جفت فلیپ فلاپ تک لبه را، که یکی روی لبه مثبت و دیگری روی لبه منفی کلاک تریگر می‌شود، به کمک یک مالتیپلکسر ۲:۱ با استفاده از روش کلاک تکفاز واقعی ترکیب می‌کند. در توپولوژی که پیشنهاد شده، با استفاده از فقط هشت ترانزیستور که توسط سیگنال کلاک سوئیچ میشوند، میتوان به مصرف انرژی کمتری دست یافت. بر اساس شبیه‌سازی SPICE با استفاده از مدل ترانزیستورهای اثر میدانی در یک فرآیند CMOS ۹۰ نانومتری، کارایی فلیپ فلاپ پویای پیشنهادی با کارایی فلیپ فلاپ ایستای استاندارد مبتنی بر مدار گیر مقایسه شده است. همچنین، نتایج شبیه‌سازی SPICE نشان می‌دهد که فلیپ فلاپ دو لبه ارائه شده در یک فرآیند CMOS ۲۲ نانومتری با ولتاژ تغذیه ۰/۹ ولتی در فرکانس ۱۶/۷ گیگاهرتز برای کلاک تاخیری ۲۵ پیکوثانیه از سیگنال کلاک تا خروجی به نمایش می‌گذارد و ۱۴۶ میکرووات توان مصرفی می‌کند. عملکرد فلیپ فلاپ پویای TSPC پیشنهاد شده، با عملکرد فلیپ فلاپهای مبتنی بر المان C و فلیپ فلاپهای TSPC که با ولتاژ تغذیه نزدیک به ولتاژ آستانه ترانزیستور کار میکنند، در تکنولوژیهای نانومتری CMOS مورد مقایسه قرار گرفت.

۱-مقدمه

اخیراً افزایش قابل توجهی در تقاضا برای مدارهای دیجیتال با سرعت بالا و توان مصرفی پایین به منظور پیاده‌سازی ادوات قابل حمل نظیر موبایل‌ها، که از سیستم‌های ارتباطی بی‌سیم با عملکرد پیچیده استفاده می‌کنند و نیروی محرکه الکتریکی آن‌ها توسط باتری تامین می‌شود، ایجاد شده است.

فلیپ فلاپ‌ها از اجزای سازنده کلیدی مدارهای دیجیتال ترتیبی هستند که، به همراه شبکه توزیع کلاک، امکان پیاده‌سازی یک رویکرد مشخص را برای زمان بندی فراهم

می‌کنند. فلیپ فلاپ‌ها دارای تاثیر به‌سزایی در تعیین سرعت و توان مصرفی مدارهای مجتمع هستند. دستیابی به سرعت بالا از طریق کاهش مقیاس همراه با ثابت نگاه داشتن ولتاژ امکان پذیر است. از طرف دیگر، با توجه به آنکه توان مصرفی کلاک کسر قابل توجهی از مصرف توان کل مدار را به خود اختصاص می‌دهد [۱-۳]، کاهش توان مصرفی فلیپ فلاپ‌ها در طراحی سیستم‌های مجتمع سازی شده در مقیاس بسیار بزرگ^۲ با توان مصرفی کل پایین حائز اهمیت است. برای دستیابی به توان مصرفی پایین و سرعت بالا طراحی این نوع سیستم‌ها عموماً با

^{۱*} پست الکترونیک نویسنده مسئول: jamasb@hut.ac.ir

۱. گروه مهندسی پزشکی، دانشگاه صنعتی همدان، همدان، ایران

۶۵۱۶۹۱۳۷۳۳

۲. گروه علوم پایه، دانشگاه صنعتی همدان، همدان، ایران ۶۵۱۶۹۱۳۷۳۳

^۲ Very Large Scale Integration (VLSI)

استفاده از فرآیندهای CMOS نانومتری صورت می گیرد [۴]. به طور معمول در سطح مداری با یک رابطه جانشینی میان سرعت و توان مصرفی مدار سر و کار داریم. از آنجا که توان پویا متناسب با مجذور سوئیچینگ منطقی (مجذور اندازه ولتاژ تغذیه در مدارهای CMOS) است، کاهش مقیاس ولتاژ تغذیه موثرترین رویکرد را برای کاهش توان مصرفی فلیپ فلاپ ها در اختیار قرار می دهد. با اینحال، مقیاس گذاری در مدارهای CMOS با کاهش مقیاس در ولتاژ آستانه ترانزیستور اثر میدانی همراه است، که منجر به افزایش نمایی در میزان هدایت زیرآستانه شده و به این ترتیب، افزایش قابل توجهی را در مصرف توان ایستا در بر دارد [۵].

به غیر از کاهش مقیاس ولتاژ تغذیه برای دسترسی به توان مصرفی پایین تر می توان از فلیپ فلاپ های دولبه^۱ (تریگر شونده روی هر دو لبه سیگنال کلاک) بهره گرفت [۶]. این نوع فلیپ فلاپ همچنین برای دستیابی به فرکانس های عملیاتی بالاتر قابل استفاده است. در حالت ایده آل به ازای یک نرخ پردازش داده ثابت، به خدمت گرفتن DETFF منجر به نصف شدن توان مصرفی شبکه توزیع کلاک می شود. به عنوان یک گزینه دیگر، با استفاده از DETFF می توان نرخ پردازش داده را به ازای یک نرخ مصرف انرژی معین دو برابر کرد.

توان مصرفی یک فلیپ فلاپ از رابطه زیر به دست می آید [۶]:

$$P_{FF} = [\alpha_i C_i \gamma + \alpha_o C_o \gamma + C_{ck-buf}] \cdot V_{DD}^2 \cdot f_{ck} \quad (1)$$

که در آن C_i ظرفیت خازنی گره داخلی فلیپ فلاپ است، C_{ck-buf} ظرفیت خازنی بافرهای کلاک در داخل فلیپ فلاپ را نشان می دهد، C_o ظرفیت خازنی گره خروجی فلیپ فلاپ، α_i کسر فعالیت سوئیچینگ گره ورودی، و α_o کسر فعالیت سوئیچینگ گره خروجی است. علاوه بر این، γ کسر کلاک زنی را نمایش می دهد، که در فلیپ فلاپ های ترتریگرشونده روی یک لبه کلاک برابر با ۱ و در فلیپ فلاپ های دولبه مساوی ۲ است. همچنین در رابطه (۱) V_{DD} و f_{ck} به ترتیب نشانگر ولتاژ تغذیه و فرکانس کلاک هستند. رابطه (۱) نشان می دهد که توان مصرفی فلیپ فلاپ را می توان از طریق کاهش بار خازنی گره های ورودی و خروجی مدار و همچنین گره هایی که سیگنال خروجی شبکه بافر

کلاک به آن ها اعمال می شود، پایین آورد. در این میان بار خازنی گره ورودی و خروجی مدار توسط مشخصه های سیستم مورد نظر تعیین می شوند. با اینحال، یک توپولوژی مداری مناسب برای فلیپ فلاپ که در آن تعداد ترانزیستورهای سوئیچ شونده به وسیله سیگنال کلاک کوچکتر باشد، بار خازنی خروجی بافر کلاک، C_{ck-buf} را در رابطه (۱) کاهش داده که، به نوبه خود، منجر به کاهش توان مصرفی فلیپ فلاپ می شود.

بسته به روش تولید پالس سوئیچینگ، فلیپ فلاپ ها را می توان به دو دسته ترتریگرشونده با پالس صریح و یا پالس غیرصریح طبقه بندی کرد. در فلیپ فلاپ های ترتریگر شونده با پالس صریح، پالس سوئیچینگ از منبعی خارجی تامین می شود و طراحی مدار تولید پالس و مدار گیر به صورت مستقل صورت می گیرد. در مقایسه استفاده از پالس غیرصریح برای ترتریگر کردن فلیپ فلاپ نیازمند پیاده سازی مدار تولید پالس به صورت قسمتی از منطق درونی در طراحی مدار گیر است. سیستم های VLSI مبتنی بر فلیپ فلاپ های ترتریگرشونده با پالس صریح دارای بازدهی بالا در مصرف انرژی هستند، زیرا در این نوع سیستم ها توان مصرفی مدار تولید پالس میان فلیپ فلاپ های متعدد توزیع می شود. از طرف دیگر، پیاده سازی فلیپ فلاپ های دولبه با استفاده پالس غیر صریح به دلیل دشواری همگام سازی مدارهای پالس به عنوان قسمتی از مدار گیر در هر فلیپ فلاپ با چالش همراه است [۷]. با اینحال، اخیرا طراحی و شبیه سازی یک فلیپ فلاپ دولبه ترتریگرشونده توسط پالس غیرصریح با سرعت بالا و توان مصرفی کم ارائه شده است [۷]. اگر کارایی این فلیپ فلاپ به صورت تجربی مورد تایید قرار گیرد، می توان آن را رقیبی جدی برای فلیپ فلاپ های مبتنی بر پالس صریح محسوب کرد. کارایی فلیپ فلاپ های ترتریگرشونده با پالس غیرصریح را همچنین می توان با استفاده از سیستم های غیرحساس به تاخیر [۷]، که قابلیت تحمل تغییرپذیری در زمان محاسبات و مسیرهای سیگنال کلاک را دارند، بهبود بخشید.

با توجه به مصنوعیت نسبی المان های حافظه ایستا نسبت به بروز حالت های نامعین ناشی از شرایط موسوم به شرایط مسابقاتی^۲ پیاده سازی فلیپ فلاپ های دولبه به صورت

² Race conditions

¹ Double-edge-triggered flip flop (DETFF)

کند، به دلیل کاهش بار خازنی سیگنال کلاک سرعت نسبتاً بالایی نیز به نمایش می‌گذارد.

در کار پیش رو، با استفاده از توپولوژی تک-فاز واقعی پویا یک فلیپ فلاپ جمع و جور دو لبه از نوع D ارائه شده است. کارایی فلیپ فلاپ پویای پیشنهادی با کارایی فلیپ فلاپ استاندارد اصلی-فرعی مبتنی بر مدار گیر در یک فرآیند CMOS ۹۰ نانومتری مقایسه شده است. همچنین، کارایی فلیپ فلاپ دوبله پویای ارائه شده از نقطه نظر سرعت و توان مصرفی با کارایی دو فلیپ فلاپ ایستای کم مصرف پیاده سازی شده در فرآیندهای CMOS نانومتری [۸]، [۱۱] مورد مقایسه قرار گرفته است.

۲- فلیپ فلاپ دوبله پویا از نوع D

در این بخش توپولوژی فلیپ فلاپ دوبله پویای پیشنهادی، که بر مبنای روش TSPC [۱۳] طراحی شده است، ارائه می‌شود.

۱-۲- فلیپ فلاپ تریگرشونده روی لبه نزولی کلاک

شماتیک پیشنهادی جی رن و همکاران [۱۳] برای مدار فلیپ فلاپ پویای تریگر شونده روی لبه صعودی کلاک در شکل ۱ نمایش داده شده است.

در D-PETFF شکل ۱، بسته به حالت ورودی، گذار کلاک از سطح منطقی بالا به سطح منطقی پایین باعث انتقال حالت ورودی به گره N2 یا N3 می‌شود و سپس با گذار کلاک از سطح منطقی پایین به سطح منطقی بالا حالت ورودی از گره N2 یا N3 به گره خروجی منتقل می‌شود. به طور مشخص، D-PETFF پویای شکل ۱ معادل یک فلیپ فلاپ معکوس ساز از نوع D است که روی لبه صعودی کلاک تریگر می‌شود.

ایستا مرسوم تر است. اخیراً، پیاده سازی فلیپ فلاپ های کم مصرف ایستای تریگر شونده با پالس صریح، که از یک سیگنال کلاک تک-فاز واقعی^۱ بهره می‌گیرند [۸ و ۹]، و یا امکان عملکرد بدون جهش تیز ولتاژ به شکل گذرا (گلیچ^۲) را فراهم می‌کنند [۱۰ و ۱۱] در فناوری های CMOS نانومتری گزارش شده است. استفاده از فلیپ فلاپ دو لبه برای کاهش توان مصرفی و افزایش فرکانس کارکردی مدارهای دیجیتال همچنین در فرآیند اتوماتوسیون سلولی کوانتومی^۳، که اخیراً به عنوان یک جانشین برای فرآیند CMOS مطرح شده است، مورد توجه قرار گرفته است [۱۲]. علیرغم کارایی المان های حافظه ای ایستا در جلوگیری از بروز حالت های خطا، اخیراً پیاده سازی فلیپ فلاپ دوبله به صورت پویا برای کاربردهای کم مصرف نیز مورد توجه قرار گرفته است [۲].

هرچند فلیپ فلاپ های پویا عمدتاً در کاربردهای پرسرعت به خدمت گرفته می‌شوند، استفاده از رویکردهای پویا برای پیاده سازی فلیپ فلاپ می‌تواند برای کاهش مصرف توان نیز مفید واقع شود. به طور مشخص، امکان کاهش توان مصرفی در فلیپ فلاپ های پویا از طریق کاهش تعداد ترانزیستورهای سوئیچ شونده بوسیله سیگنال کلاک فراهم می‌شود، زیرا در رویکردهای پویا به جای استفاده از مدار گیر یا لچ^۴ به عنوان المان حافظه، حافظه با بهره برداری از ذخیره بار الکتریکی روی گره های داخلی مدار فلیپ فلاپ پیاده سازی می‌شود. جی رن و همکاران^۵ یک فلیپ فلاپ پویا از نوع D که روی لبه صعودی کلاک^۶ تریگر می‌شود (D-PETFF) معرفی کردند [۱۳]، که در آن تنها ۴ ترانزیستور به وسیله یک سیگنال کلاک تک-فاز واقعی سوئیچ می‌شوند. فلیپ فلاپ با کلاک تک لبه جی رن و همکاران [۱۳] که در مجموع از ده ترانزیستور استفاده می‌

⁴ Latch

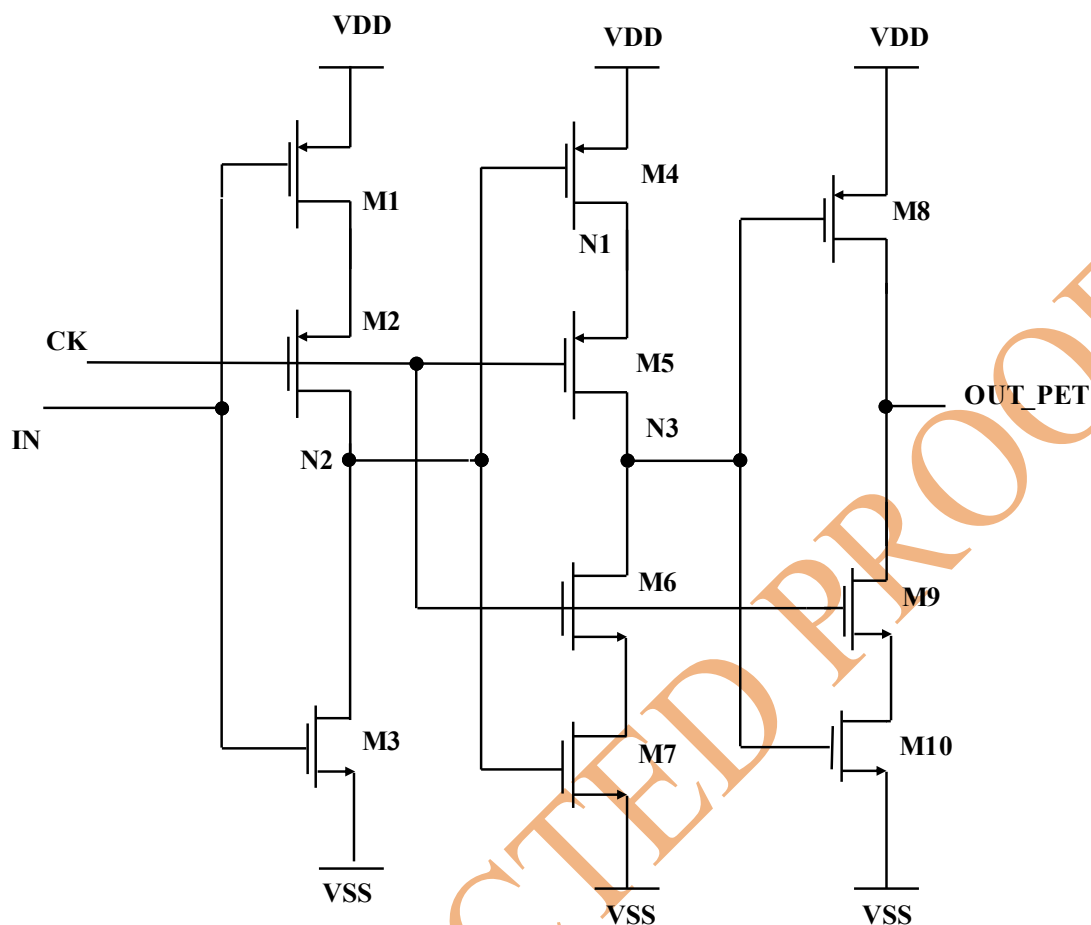
⁵ Ji-ren *et al.*

⁶ D-type Positive-edge-triggered Flip-flop (D-PETFF)

¹ True Single Phase Clock (TSPC)

² Glitch

³ Quantum Cellular Automata



شکل ۱- شماتیک مداری فلیپ فلاپ پویای نوع D که روی لبه صعودی کلاک تک فاز واقعی (TSPC) تریگر می شود.

به یک منطقی ترانزیستورهای M11 و M12 هدایت می کنند و گره N4 در سطح ولتاژ تغذیه، VDD قرار می گیرد. به این ترتیب ترانزیستورهای M16 و M17 که گیت آن ها به ترتیب به کلاک و N4 متصل هستند روشن می شوند و گره N5 به زمین متصل شده تا ورودی منطقی پایین در این گره ذخیره شود.

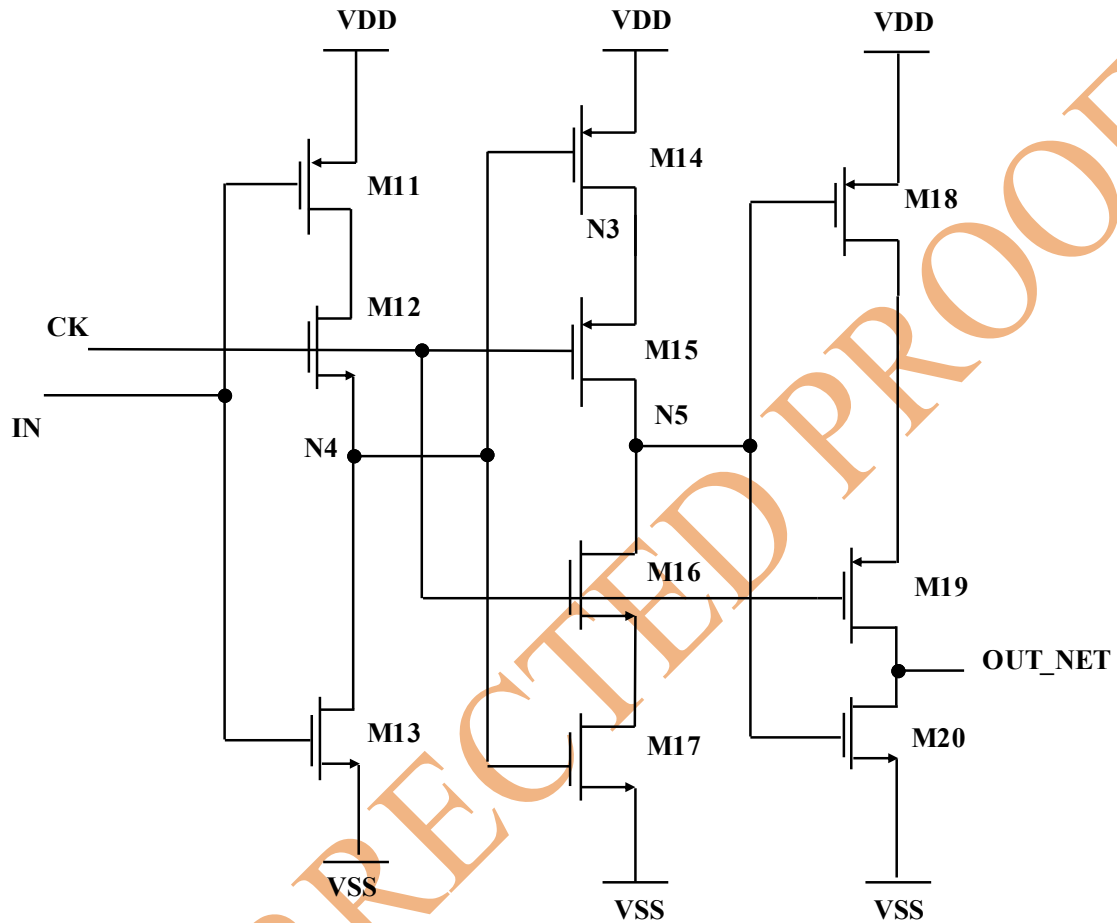
در فلیپ فلاپ تریگرشونده روی لبه نزولی کلاک، بسته به این که ورودی در سطح منطقی پایین یا بالا باشد، گذار سیگنال از سطح منطقی پایین به سطح منطقی بالا به ترتیب منجر به ذخیره حالت ورودی در گره N5 یا معکوس حالت ورودی در گره N4 خواهد شد. به طور مشخص، به ازای یک ورودی منطقی پایین با گذار کلاک از صفر منطقی به یک منطقی ترانزیستورهای M11 و M12 هدایت می کنند و گره N4 در سطح ولتاژ تغذیه، VDD قرار می گیرد.

برای پیاده سازی DETFF با استفاده از فلیپ فلاپ شکل ۱ توپولوژی یک فلیپ فلاپ پویای TSPC تریگر شونده روی لبه نزولی کلاک^۱ (D-NETFF) پیشنهاد و کارکرد عمومی آن در یک فرآیند CMOS ۹۰ نانومتری راست آزمایی شد [۱۴]. در این زیربخش پیاده سازی D-NETFF پیشنهادی، که شماتیک آن در شکل ۲ نشان داده شده است، از دیدگاه کارکردی در سطح ترانزیستوری مورد تحلیل قرار می گیرد.

در فلیپ فلاپ تریگرشونده روی لبه نزولی کلاک، بسته به این که ورودی در سطح منطقی پایین یا بالا باشد، گذار سیگنال از سطح منطقی پایین به سطح منطقی بالا به ترتیب منجر به ذخیره حالت ورودی در گره N5 یا معکوس حالت ورودی در گره N4 خواهد شد. به طور مشخص، به ازای یک ورودی منطقی پایین با گذار کلاک از صفر منطقی

¹ D-type Negative-edge-triggered Flip-flop (D-NETFF)

به این ترتیب ترانزیستورهای M16 و M17 که گیت آن ها به ترتیب به کلاک و N4 متصل هستند روشن می شوند و گره N5 به زمین متصل شده تا ورودی منطقی پایین در این گره ذخیره شود.



شکل ۲- شماتیک مداری فلیپ فلاپ پویای نوع D که روی لبه نزولی کلاک تک فاز واقعی (TSPC) تریگر می شود.

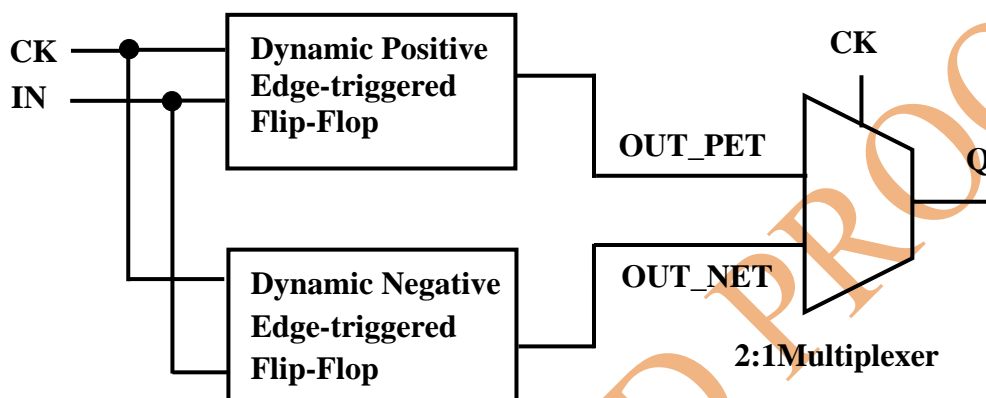
روی لبه نزولی کلاک به ازای یک ورودی منطقی صفر ذخیره شده در گره N5، هدایت ترانزیستورهای M18 و M19 خروجی D-NETFF را به VDD متصل می کند. لذا، روی لبه نزولی کلاک به ازای ورودی منطقی صفر، خروجی در سطح منطقی یک قرار می گیرد. به این ترتیب، فلیپ فلاپ D-NETFF پویای شکل ۲ معادل یک فلیپ فلاپ معکوس ساز از نوع D است که روی لبه نزولی کلاک تریگر می شود.

از طرف دیگر، به ازای یک ورودی منطقی بالا با گذار کلاک از صفر منطقی به یک منطقی ترانزیستور M13 هدایت می کند و گره N4 به زمین متصل شده تا معکوس حالت ورودی در این گره ذخیره شود. سپس روی لبه نزولی کلاک، با گذار کلاک از یک منطقی به صفر منطقی، ذخیره شدن معکوس ورودی منطقی یک در گره N4 سبب می شود تا M14 به همراه M15 روشن شده تا گره N5 به VDD متصل شده، که به نوبه خود، منجر به هدایت M20 و قرار گرفتن خروجی در سطح زمین می شود. به عبارت دیگر، روی لبه نزولی کلاک به ازای ورودی منطقی یک، خروجی در سطح منطقی صفر قرار می گیرد. همچنین،

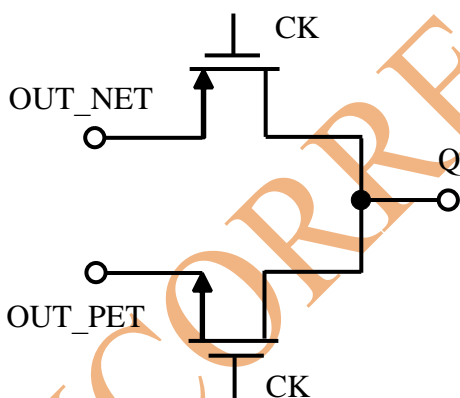
۲-۲- پیاده سازی فلیپ فلاپ پویا دولبه از نوع D

رویکرد پیشنهادی برای پیاده سازی فلیپ فلاپ TSPC دو لبه پویا در نمودار بلوکی شکل ۳ نمایش داده شده است. اساساً DETFF شکل ۳ از دو فلیپ فلاپ پویای TSPC تک لبه معکوس ساز تشکیل می شود، که یکی از آن ها، روی لبه صعودی کلاک و دیگری، روی لبه

D-NETFF شکل ۲ روی لبه نزولی سیگنال کلاک تریگر می شود. در توپولوژی پیشنهادی شکل ۳ برای فلیپ فلاپ دو لبه پویای TSPC، بسته به پیشامد لبه صعودی یا لبه نزولی سیگنال کلاک، خروجی یکی از دو فلیپ فلاپ تک لبه توسط یک مالتیپلکسر ۲:۱ انتخاب می شود تا امکان تریگر شدن DETFF روی هر دو لبه کلاک فراهم شود.



شکل ۳- پیاده سازی فلیپ فلاپ DETFF پویا که هم روی لبه صعودی و هم روی لبه نزولی کلاک تک فاز واقعی (TSPC) تریگر می شود.



شکل ۴- مالتیپلکسر ۲:۱ برای پیاده سازی فلیپ فلاپ دو لبه.

شماتیک مداری مالتیپلکسر ۲:۱ مورد استفاده در DETFF پیشنهادی در شکل ۴ نشان داده شده است. این مالتیپلکسر متشکل از یک سوئیچ تک-ترانزیستوری^۱ NMOS و یک سوئیچ تک-ترانزیستوری^۲ PMOS است، که هر دو توسط سیگنال کلاک تک-فاز واقعی کنترل می شوند. اتصال مشترک میان سوئیچ ها، یعنی خروجی مالتیپلکسر ۲:۱ را می توان به ورودی یک معکوس ساز CMOS اعمال نمود تا یک خروجی بافر شده و غیرمعکوس ساز برای فلیپ فلاپ دولبه به دست آورد. واضح است که دستیابی به عمل بافری معکوس ساز به قیمت اضافه شدن دو ترانزیستور به توپولوژی و بالا رفتن توان مصرفی پویا حاصل می شود. به این ترتیب، پیاده سازی فلیپ فلاپ پویای دو لبه TSPC پیشنهادی به ۲۴ ترانزیستور نیاز دارد. این تعداد از حداقل تعداد ترانزیستورهای مورد نیاز برای پیاده سازی یک فلیپ فلاپ دو لبه، یعنی دو برابر تعداد ترانزیستورها در فلیپ فلاپ تک-لبه، به میزان ۴ واحد بیشتر است.

۳- نتایج و بحث

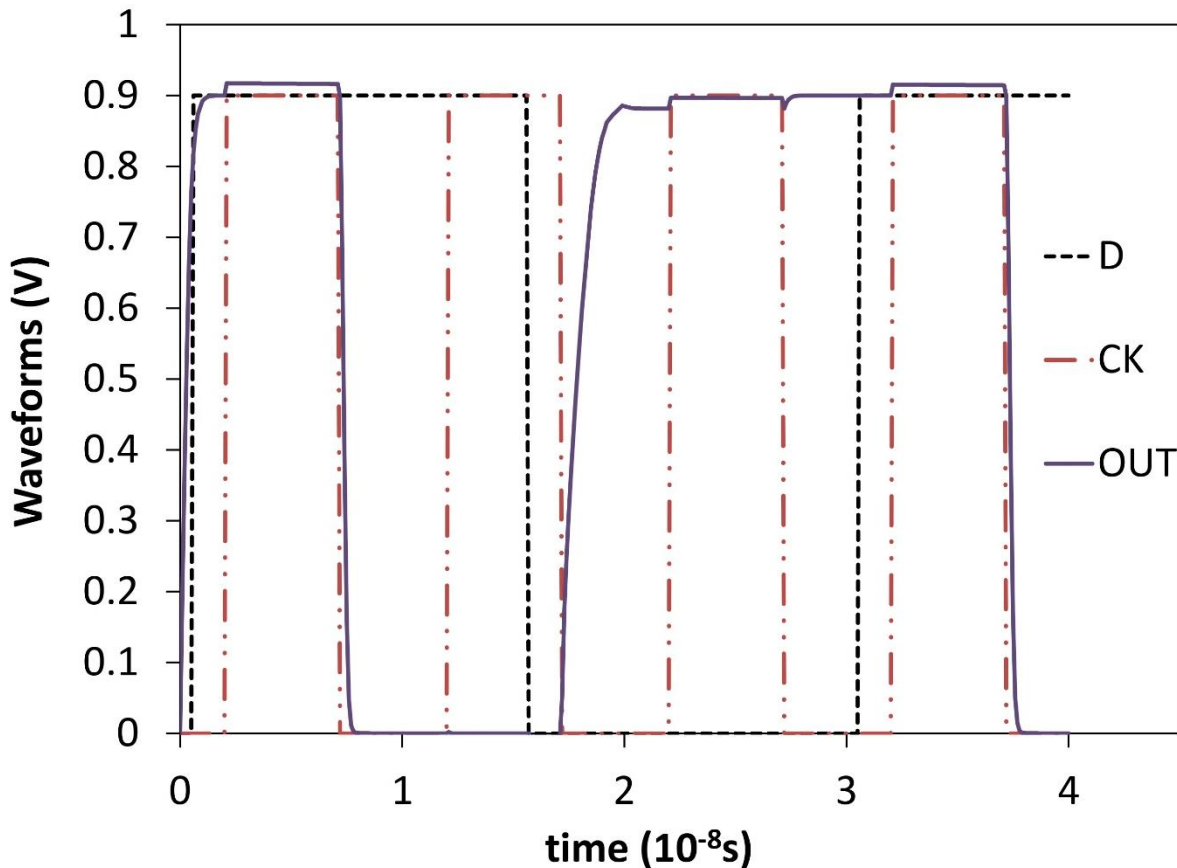
مدارهای پویا عموماً نسبت به مدارهای ایستا سریع تر هستند و مساحت کمتری را روی تراشه اشغال می کنند، اما طراحی این مدارها دشوارتر است. طراحی مجدد فلیپ فلاپ D-NETFF با هدف کاهش توان مصرفی با استفاده از یک منبع تغذیه ۰/۹ ولتی منجر به بهبود بازدهی انرژی

² P-channel Metal Oxide Semiconductor (PMOS)

¹ N-channel Metal Oxide Semiconductor (NMOS)

فلیپ فلاپ نسبت به طراحی قبلی [۱۴] در فرآیند CMOS ۹۰ نانومتری شد. شکل موج های حاصل از شبیه سازی SPICE، که کارکرد صحیح فلیپ فلاپ پویای TSPC بهبود یافته را تایید می کند، در شکل ۵ به نمایش گذاشته شده اند. کارآیی طراحی جدید D-NETFF از دیدگاه توان مصرفی و سرعت در جدول ۱ مشخص شده است. تاخیر ۲۳۰ پیکوثاینه ای از لبه نزولی سیگنال کلاک

تا خروجی در طراحی جدید نزدیک به ۴۳٪ نسبت به طراحی قبلی [۱۴] کاهش یافته است. همچنین، در طراحی جدید حاصل ضرب توان-تاخیر^۱ متجاوز از ۲۸٪ نسبت به طراحی قبلی [۱۴] کاهش نشان می دهد که بیانگر بهبود قابل ملاحظه در بازدهی انرژی در طراحی جدید است.



شکل ۵- شبیه سازی کارکرد فلیپ فلاپ پویای نوع D که روی لبه نزولی کلاک تک فاز واقعی (TSPC) تریگر می شود. شبیه سازی SPICE بر اساس مدل های ترانزیستور مستخرج از مشخصه یابی یک فرآیند CMOS ۹۰ نانومتری صورت گرفت.

جدول ۱- شبیه سازی کارآیی فلیپ فلاپ های D تک-لبه با پارامترهای $V_{DD}=0.9V$ ، $T=300K$ ، $C_L=0.155pF$ و 90nm CMOS (typical corner).

فلیپ فلاپ D-NETFF	تاخیر متوسط از کلاک تا Q (ps)	توان مصرفی متوسط (μW)	حاصل ضرب توان-تاخیر (fJ)
پویا (TSPC)	۲۳۰	۹/۴۵	۲/۱۸
استاندارد (اصلی-فرعی)	۳۰۰	۱۱/۶	۳/۴۸

مبتنی بر مدارهای گیر در فرآیند CMOS ۹۰ نانومتری بر اساس شبیه سازی SPICE مقایسه شده است. مطابق

همچنین، در جدول ۱ کارآیی فلیپ فلاپ پویای TSPC با کارآیی فلیپ فلاپ تک-لبه اصلی-فرعی^۲ استاندارد

² Master-Slave

¹ Power-delay product (PDP)

شبیه سازی SPICE با استفاده از مدل ترانزیستورهای MOSFET با طول کلنال ۲۲ نانومتر تخمین زده شد. شکل موج هایی که کارکرد صحیح فلیپ فلاپ پویای TSPC را به ازای یک سیگنال کلاک ۱۶/۷ گیگاهرتزی در فرآیند CMOS ۲۲ نانومتری مورد استفاده تایید می کنند، در شکل ۶ ارائه شده اند. در فلیپ فلاپ دو لبه شکل ۶ خروجی مالتیپلکسر ۲:۱ توسط یک معکوس ساز CMOS بافر شده است، لذا خروجی DETFF از نوع غیرمعکوس ساز است.

تغییرات کم دامنه در سطح ولتاژ مربوط به هر یک از دو حالت منطقی، که به صورت یک ولتاژ ریپل^۳ در خروجی در شکل ۶ مشاهده می شوند، در پاسخ به تغییرات سریع سطح منطقی کلاک در فرکانس های بالا ایجاد می گردند. ولتاژ ریپل خروجی، که ناشی از شارژ و دشارژ شدن جزئی ظرفیت های خازنی است، منجر به تغییر سطح منطقی ذخیره شده نمی شود، ولی لازم به توجه است که رفتار گذرای مشخصه ریپل خروجی همراه با اتلاف توان پویای زاید است.

نتایج شبیه سازی SPICE، که در شکل ۶ به تصویر کشیده شده است، نشان می دهد که در فلیپ فلاپ دو لبه پیشنهادی تاخیر متوسط از سیگنال کلاک تا خروجی، t_{eq} برابر با ۲۵ پیکوثانیه، توان مصرفی کل فلیپ فلاپ ۱۴۶ میکرووات، و حاصلضرب توان-تاخیر، $(0.1025)(146) = 3/65$ فمتوزول است.

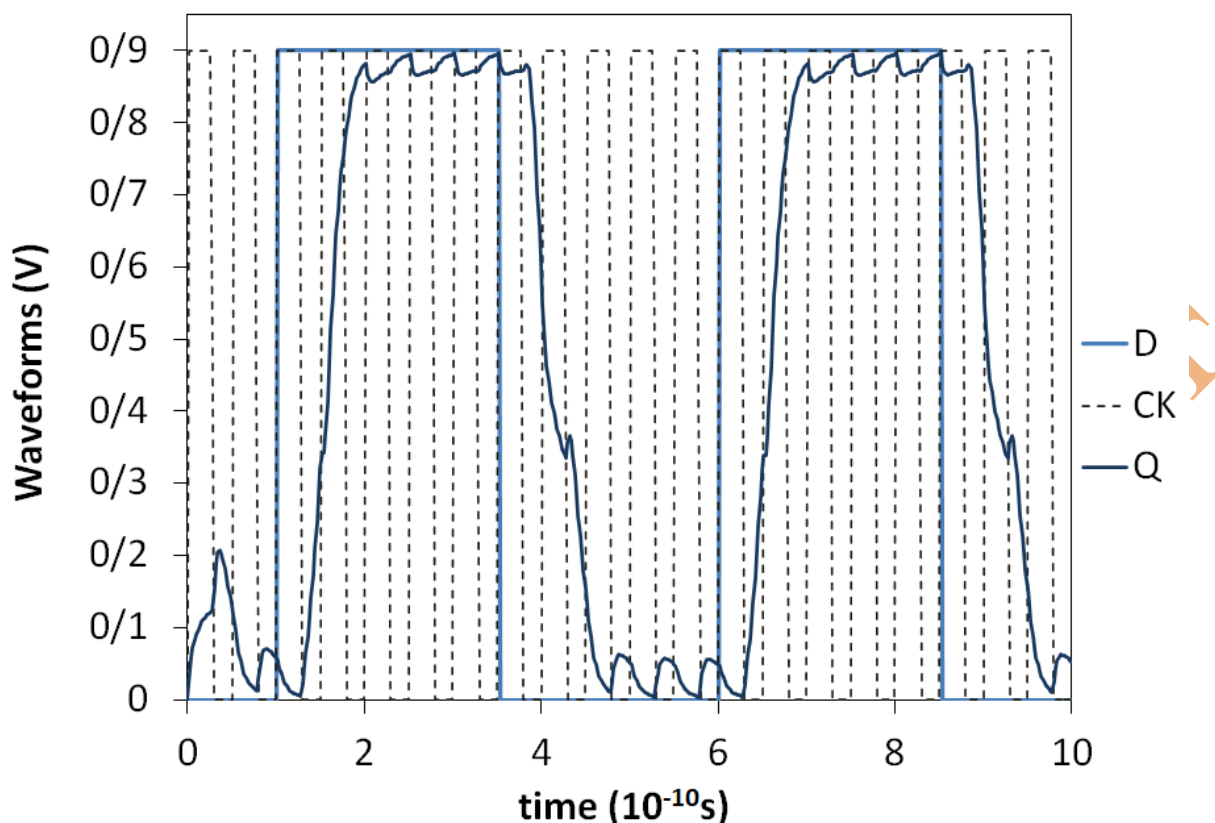
نتایج ارائه شده در جدول ۱، تاخیر میان سیگنال کلاک و خروجی در فلیپ فلاپ پویای TSPC به طور تقریبی ۳۰٪ از این تاخیر در فلیپ فلاپ اصلی-فرعی ایستا کمتر است. عملکرد سریعتر D-NETFF ناشی از پیاده سازی پویا مورد استفاده در رویکرد TSPC است. علاوه بر این، همانطور که در جدول ۱ مشاهده می شود، D-NETFF پویای TSPC نسبت به فلیپ فلاپ استاندارد ایستا ۲۳٪ کمتر توان مصرفی می کند. کاهش توان مصرفی را در پیاده سازی پویا می توان بر مبنای کاهش بار خازنی مشاهده شده توسط سیگنال کلاک، که تنها چهار ترانزیستور را سوئیچ می کند، توضیح داد. سرعت عملیاتی بالاتر و توان مصرفی کمتر فلیپ فلاپ پویای TSPC منجر به کاهش قابل ملاحظه در حاصلضرب توان-تاخیر^۱ (PDP) در این فلیپ فلاپ نسبت به همتهای ایستای اصلی-فرعی آن شده است. به طور مشخص، طبق جدول ۱، مقدار PDP برای D-NETFF پویا نسبت به اندازه این کمیت برای فلیپ فلاپ ایستای اصلی-فرعی متجاوز از ۳۷٪ کوچکتر است. کاهش چشمگیر PDP در فلیپ فلاپ پویای TSPC، به نوبه خود، حاکی از بازدهی انرژی بالای این نوع فلیپ فلاپ است.

کارایی فلیپ فلاپ دو لبه پیشنهادی در یک فرآیند CMOS ۲۲ نانومتری ارزیابی شد. ولتاژ آستانه نوعی^۲ برای ترانزیستورهای n -کانال و p -کانال در این فرآیند به ترتیب ۰/۵۱ ولت و ۰/۳۷- ولت گزارش شده است. برای این منظور، نسبت مناسب طول-به-عرض برای کلنال ترانزیستورهای D-PETFF شکل ۱ و D-NETFF شکل ۲ در فرآیند ساخت مورد نظر به کمک

³ Ripple voltage

¹ Power-delay product (PDP)

² Typical process corner



شکل ۶- شبیه سازی کارکرد فلیپ فلاپ پویای نوع D که روی هر دو لبه کلاک تک فاز واقعی (TSPC) تریگر می شود. شبیه سازی SPICE بر اساس مدل های ترانزیستور مستخرج از مشخصه یابی یک فرآیند CMOS ۲۲ نانومتری صورت گرفت.

متوسط از سیگنال کلاک تا خروجی، t_{cq} و حاصلضرب توان-تاخیر به عنوان معیار برای مقایسه کارایی بر مبنای قواعد مقیاس گذاری جانبی در نظر گرفته شدند. نتایج مقایسه کارایی فلیپ فلاپ های دوبله در جدول ۲ خلاصه شده است.

ابتدا نتایج مقایسه کارایی فلیپ فلاپ پویای TSPC پیشنهادی را با کارایی یک فلیپ فلاپ ایستای دولبلی از نوع TSPC [۸] بررسی می کنیم. با بهره گیری از سیگنال کلاک تک-فاز واقعی (TSPC) فلیپ فلاپ لی و همکاران [۸]، نه تنها مانند فلیپ فلاپ پیشنهادی خطاهای حاصل از همپوشانی کلاک را، که از معکوس سازی سیگنال کلاک ناشی می شوند، از بین می برد بلکه قابلیت عملکرد با ولتاژهای تغذیه ای نزدیک به ولتاژ آستانه ترانزیستور را نیز به نمایش می گذارد. لی و همکاران [۸] بر اساس شبیه سازی SPICE به کمک مدل های ترانزیستور برای یک فرآیند CMOS ۲۸ نانومتری توان مصرفی، تاخیر متوسط از سیگنال کلاک تا خروجی، و حاصلضرب توان-تاخیر را

کارایی فلیپ فلاپ پویای TSPC پیشنهادی با کارایی دو فلیپ فلاپ دو لبه ایستای کم مصرف، که در فناوری های CMOS نانومتری طراحی شده اند، مقایسه شد. طراحی های برگزیده برای مقایسه کارایی شامل یک فلیپ فلاپ TSPC دارای قابلیت عملکرد با ولتاژ تغذیه ای نزدیک به ولتاژ آستانه ترانزیستور [۸] و یک فلیپ فلاپ مبتنی بر المان C [۱۱] هستند. به علت عدم دسترسی به مدل ترانزیستورها و نسبت های طول-به-عرض گیت مورد استفاده در طراحی های برگزیده برای مقایسه، ارزیابی کارایی این طراحی ها با اعمال قواعد مقیاس گذاری CMOS موسوم به مقیاس گذاری جانبی به پارامترهای کارکردی گزارش شده صورت گرفت. در مقیاس گذاری جانبی برای مقایسه کارایی نسبی دو طراحی می توان ضخامت اکسید گیت، ولتاژ آستانه، و میزان آلاینش زیرلایه را ثابت فرض کرد تا اثر تفاوت های طول گیت، ولتاژ تغذیه و فرکانس کلاک روی مقادیر پارامترهای کارکردی متمایز شود. به طور مشخص، پارامترهای توان مصرفی، تاخیر

برای فلیپ فلاپ TSPC دولبه ایستای پیشنهادی خود به ازای یک ولتاژ تغذیه ۰/۹۵-ولتی و فرکانس ۱ گیگاهرتز برای کلاک، به ترتیب ۵/۰۳ میکرووات، ۸۱/۶ پیکوثنایه، و ۰/۴۱۰ فمتوژول گزارش کردند. اگر مقادیر این پارامترهای کارکردی فلیپ فلاپ پیشنهادی لی و همکاران [۸] را، که در جدول ۲ قید شده اند، با اعمال قواعد مقیاس گذاری CMOS مربوط به طول گیت و ولتاژ تغذیه، نسبت به مقادیر به دست آمده برای این پارامترها در طراحی فلیپ پیشنهادی (شبه سازی شکل ۶) نرمالیزه کنیم، با احتساب تفاوت فرکانس کلاک در دو شبه سازی، مقادیر معادل

جدول ۲- مقایسه کارآیی فلیپ فلاپ های دولبه از نوع D در فرآیند CMOS نانومتری^۱

توپولوژی فلیپ فلاپ دو لبه	فلیپ فلاپ ایستا [۱۱] مبتنی بر المان C	فلیپ فلاپ ایستا [۸] از نوع TSPC	فلیپ فلاپ پیشنهادی از نوع TSPC پویا
طول گیت ترانزیستور (nm)	۲۲	۲۸	۲۲
ولتاژ تغذیه، VDD (V)	۱/۰	۰/۹۵	۰/۹
تعداد ترانزیستور	۱۸	۳۶	۲۴
فرکانس کلاک (GHz)	۰/۵	۱/۰	۱۶/۷
نرخ فعالیت سوئیچینگ	۰/۱۰	۰/۱۰	۰/۱۰
توان مصرفی (μW)	۳/۰۱	۵/۰۳	۱۴۶
توان مصرفی نرمالیزه	۰/۵۶	۰/۴۱	۱/۰
تاخیر متوسط بین کلاک و خروجی، t_{cq} (ps)	۲۷/۸	۸۱/۶	۲۵/۰
تاخیر نرمالیزه، t_{cq}	۱/۱۱	۲/۳۷	۱/۰
حاصلضرب توان-تاخیر (fJ)	۰/۰۳۷۵	۰/۴۱۰	۳/۶۵
حاصلضرب توان-تاخیر نرمالیزه	۰/۶۲	۰/۸۶	۱/۰
حاصلضرب انرژی-تاخیر نرمالیزه	۰/۶۹	۲/۰	۱/۰

کارکردی برای فلیپ فلاپ سینگار و همکاران [۱۱] را ، که در جدول ۲ درج شده اند، با اعمال قواعد مقیاس گذاری CMOS مربوط به طول گیت و ولتاژ تغذیه، نسبت به مقادیر به دست آمده برای این پارامترها در طراحی فلیپ فلاپ پیشنهادی نرمالیزه کنیم ، با در نظر گرفتن تفاوت فرکانس کلاک در دو شبه سازی، مقادیر معادل توان مصرفی، تاخیر متوسط از سیگنال کلاک تا خروجی، و حاصلضرب توان-تاخیر در طراحی سینگار و همکاران به ترتیب عبارتند از: (۱۶۷۰۰/۵۰۰)(۰/۹/۱)²(۳/۰۲)=۸۱/۴ میکرووات، (۱/۰/۹)(۲۵)=۲۷/۸ پیکوثنایه و ۲/۲۶ فمتوژول. پارامترهای کارکردی نرمالیزه طراحی سینگار و همکاران [۱۱]

کارآیی فلیپ فلاپ پویای TSPC پیشنهادی همچنین با کارآیی یک فلیپ فلاپ دولبه پیشرفته مبتنی بر المان C مولر^۲ [۱۱] مقایسه شد. المان C، که به طور گسترده در طراحی مدارهای ناهمگام یا آسنکرون مورد استفاده قرار می گیرد، به فلیپ فلاپ هیستریزس نیز موسوم است. سینگار و همکاران [۱۱] بر اساس شبه سازی SPICE به کمک مدل های ترانزیستور برای یک فرآیند CMOS ۲۲ نانومتری توان مصرفی، تاخیر متوسط از سیگنال کلاک تا خروجی، و حاصلضرب توان-تاخیر را، به ازای یک ولتاژ تغذیه یک-ولتی و فرکانس ۵۰۰ مگاهرتز برای کلاک، به ترتیب ۳/۰ میکرووات، ۲۵ پیکوثنایه، و ۰/۰۷۵ فمتوژول^۳ گزارش کردند. اگر مقادیر این پارامترهای

¹ typical process corner, (دمای اتاق) $T = 300 K$

² Muller's C-element

³ Femtojoules (fJ)

نیز از تقسیم این مقادیر معادل محاسبه شده بر مقادیر متناظر برای طراحی پیشنهادی به دست آمده و در جدول ۲ قید گردیده است.

مقادیر نرمالیزه زمان تاخیر t_{cq} در جدول ۲ نشان می دهد که فلیپ فلاپ دو لبه پیشنهادی از فلیپ فلاپ ایستای TSPC ارائه شده توسط لی و همکاران [۸] و فلیپ فلاپ ایستای مبتنی بر المان سینگار و همکاران [۱۱] سریعتر است. به طور مشخص، زمان تاخیر فلیپ فلاپ ایستای TSPC [۸] بیش از دو برابر بیشتر از این تاخیر برای فلیپ فلاپ TSPC پیشنهادی است و در فلیپ فلاپ مبتنی بر المان C تاخیر t_{cq} بیش از ۱۰٪ بیشتر از این تاخیر زمانی در فلیپ فلاپ پویای پیشنهادی است. سرعت بالای فلیپ فلاپ پیشنهادی ناشی از به کارگیری رویکرد پویا برای پیاده سازی آن است. از طرف دیگر طبق جدول ۲، توان مصرفی نرمالیزه فلیپ پیشنهادی به ترتیب به میزان ۵۹٪ و ۴۴٪ بیشتر از توان مصرفی فلیپ فلاپ ایستای TSPC و فلیپ فلاپ مبتنی بر المان C است. با توجه به مقادیر نرمالیزه درج شده برای تاخیر t_{cq} و توان مصرفی، حاصلضرب توان-تاخیر نرمالیزه برای فلیپ فلاپ ایستای TSPC لی و همکاران [۸] و فلیپ فلاپ سینگار و همکاران [۱۱] به ترتیب ۱۴٪ و ۳۸٪ کمتر از مقدار نرمالیزه معادل برای فلیپ فلاپ پیشنهادی است. اخیراً حاصلضرب انرژی-تاخیر^۱ به عنوان معیاری برتر برای مقایسه بازدهی انرژی مدارهای دیجیتال مطرح شده است. مقادیر نرمالیزه قید شده در جدول ۲ نشان می دهد که حاصلضرب انرژی-تاخیر فلیپ فلاپ پیشنهادی ۱۰٪ کمتر از مقدار این پارامتر برای فلیپ فلاپ ایستای TSPC [۸] است و در حدود ۳۰٪ بیشتر از مقدار نرمالیزه معادل برای فلیپ فلاپ مبتنی بر المان C [۱۱] است. از جمع بندی نتایج مقایسه کارایی فلیپ فلاپ دو لبه پیشنهادی با فلیپ فلاپ های دو لبه پیشرفته، که در جدول ۲ خلاصه شده است، می توان چنین استنباط کرد که فلیپ فلاپ پیشنهادی با تکیه بر رویکرد پویا بالاترین سرعت عملیاتی را در بین فلیپ فلاپ های بررسی شده در اختیار قرار می دهد. همچنین، از نقطه نظر بازدهی انرژی فلیپ فلاپ پیشنهادی به میزان چشمگیری نسبت به فلیپ فلاپ ایستای TSPC لی و همکاران [۸] برتری دارد. هر چند بازدهی انرژی فلیپ فلاپ پیشنهادی نسبت به فلیپ فلاپ مبتنی بر المان C به میزان تقریباً ۳۰٪ کمتر

است، با به کارگیری یک سیگنال کلاک تک فاز واقعی (TSPC)، فلیپ فلاپ پیشنهادی خطاهای حاصل از همپوشانی کلاک را، که از معکوس سازی سیگنال کلاک ناشی می شوند، از بین می برد. خصوصیت تک فاز بودن سیگنال کلاک را می توان به عنوان یک ارجحیت قابل ملاحظه برای فلیپ فلاپ پیشنهادی در مقایسه با فلیپ فلاپ سینگار و همکاران [۱۱] عنوان کرد.

مصرف توان اضافی فلیپ فلاپ پویای TSPC پیشنهادی نسبت به فلیپ فلاپ دولبه پیشرفته مبتنی بر المان C [۱۱] به میزان قابل توجهی ناشی از تغییرات گذرای ذاتی ناشی از ریل خروجی است زیرا، همانطور که در شکل ۶ مشاهده می شود، دامنه بیشینه ولتاژ ریل نزدیک به ۱۰٪ ولتاژ تغذیه است.

علت دیگر کاهش توان مصرفی در فلیپ فلاپ مبتنی بر المان C نسبت به توپولوژی پیشنهادی این است که در فلیپ فلاپ پویای TSPC دو ترانزیستور بیشتر، یعنی ۸ ترانزیستور، به وسیله سیگنال کلاک سوئیچ می شوند. به عبارت دیگر، افزایش بار خازنی دیده شده توسط سیگنال کلاک سبب بالا رفتن مصرف توان پویا در توپولوژی پیشنهادی نسبت به توپولوژی سینگار و همکاران [۱۱] می گردد.

با اینحال، امکان دستیابی به توان های مصرفی کمتر با استفاده از فلیپ فلاپ پیشنهادی از طریق بهینه سازی نسبت های عرض-به-طول کانال ترانزیستورهای M5 و M6 در مدار وجود دارد. به طور مشخص، هنگام گذار کلاک از سطح یک منطقی به سطح صفر منطقی، بهینه سازی نسبت عرض-به-طول ترانزیستورهای M5 و M6 در شکل ۱، به ازای $V_{OUTPET} = V_{DD}/2$ ، برای کاهش ترابرد بار به زمین و جلوگیری از بروز خطای بالقوه در حالت فلیپ فلاپ TSPC در شرایطی که گره N1 در حال دشارژ شدن است، حائز اهمیت است [۱۳]. اساساً، کاهش دامنه ولتاژ ریلی که بر روی خروجی فلیپ فلاپ TSPC پیشنهادی سوار می شود، نیازمند محدود کردن ترابرد بار ذخیره شده در گره های میانی فلیپ فلاپ هنگام گذار کلاک بین سطوح منطقی است. در حالت کلی، در روش TSPC برای ایجاد مصونیت نسبت به شرایط مسابقاتی، قدر مطلق نرخ چرخش^۲ (نرخ گذار میان سطوح

² Slew rate

¹ Energy-delay product (EDP)

منطقی) در سیگنال کلاک می بایست به اندازه کافی بالا باشد تا از بروز خطا در نتیجه ترابرد بار از گره های میانی ذخیره کننده حالت ورودی جلوگیری شود.

هرچند استفاده از مالتیپلکسر برای پیاده سازی فلیپ فلاپ دو لبه رویکرد جدیدی محسوب نمی شود و می تواند منجر به افزایش تعداد ترانزیستورهای لازم برای پیاده سازی مدار شود، این رویکرد به طور بالقوه امکان بهبود عملکرد یک فلیپ فلاپ پویای دو لبه را فراهم می آورد. به طور مشخص، با توجه به اینکه رویکرد پویا برای پیاده سازی حافظه از ذخیره بار الکتریکی روی گره های داخلی مدار بهره می گیرد، استفاده از مالتیپلکسر، با مجزا کردن فیزیکی فلیپ فلاپ های تک لبه، از سرایت نویز ناشی از تزویج خازنی در خروجی هر فلیپ فلاپ تک لبه به خروجی فلیپ فلاپ مجاور جلوگیری می کند. به عبارت دیگر، به کارگیری مالتیپلکسر در رویکرد پویا برای پیاده سازی فلیپ فلاپ استحفاظ الکتریکی تامین می کند.

اکنون به مقایسه تعداد ترانزیستورهای مورد نیاز برای پیاده سازی فلیپ فلاپ دو لبه می پردازیم. هر مدار گیر در فلیپ فلاپ اصلی-فرعی شبیه سازی شده متشکل از یک جفت معکوس ساز CMOS است که خروجی یکی از آن ها، از طریق یک گیت انتقالی^۱ CMOS در مسیر حلقه فیدبک مثبت، به ورودی دیگری متصل است. با احتساب دو گیت انتقالی که به صورت سری به هر یک از دو مدار گیر متصل هستند، پیاده سازی فلیپ فلاپ تک لبه ایستا از نوع اصلی-فرعی نیازمند ۱۶ ترانزیستور است. بنابراین، صرفنظر از ترانزیستورهای مورد نیاز برای مالتیپلکسر، برای پیاده سازی فلیپ فلاپ دو لبه ایستا از نوع اصلی-فرعی حداقل به ۳۲ ترانزیستور نیاز داریم. بنابراین، توپولوژی فلیپ فلاپ پویای TSPC پیشنهادی در مقایسه با همتهای ایستای استاندارد خود، با حذف بیش از ۸ ترانزیستور از شمار ترانزیستورها امکان صرفه جویی قابل ملاحظه ای در مساحت لازم برای پیاده سازی المان های حافظه دو پایا بر روی تراشه در اختیار قرار می دهد. همچنین، مطابق جدول ۲، فلیپ فلاپ دو لبه پیشنهادی در مقایسه با فلیپ فلاپ لی و همکاران [۸]، ۱۲ ترانزیستور کمتر به کار می گیرد، که سبب کاهش قابل ملاحظه ای در مساحت نسبی سیلیسیم مورد نیاز برای

فلیپ فلاپ پیشنهادی می شود. از طرف دیگر، فلیپ فلاپ دولبه پیشرفته مبتنی بر المان C [۱۱] در مقایسه با فلیپ فلاپ پویای TSPC از ۶ ترانزیستور کمتر، یعنی ۱۸ ترانزیستور استفاده می کند، که در رابطه با کاهش مساحت لازم برای پیاده سازی روی تراشه یک مزیت نسبی محسوب می شود.

در نهایت، لازم به تاکید است که غلبه بر چالش ذاتی ناشی از همپوشانی سیگنال کلاک و خطاهای ناشی از آن تنها با استفاده از رویکرد TSPC امکان پذیر است، زیرا تنها استفاده از کلاک تک فاز واقعی نیاز به معکوس سازی سیگنال کلاک با اینورتر CMOS را از میان می برد.

تایید کارایی مدار تحت تاثیر تغییرات اجتناب ناپذیر در حین فرآیند ساخت، مانند تغییرات در ضخامت اکسید گیت، میزان آلاینش و به واسطه آن ولتاژ آستانه، تغییرات در ولتاژ تغذیه مدار و تغییرات دما از اهمیت کلیدی برخوردار است. محدودیت عمده یی که در رابطه با بررسی اثر تغییرات ساختاری و فیزیکی وجود دارد دسترسی به مدل های فیزیکی مناسبی است که تغییرات آماری در فرآیند ساخت، به طور مشخص تغییرات در ضخامت اکسید، ولتاژ آستانه و طول گیت پلی سیلیسیم برای ترانزیستور را به صورت واقع بینانه بر مبنای اندازه گیری های آماری منعکس نمایند. همچنین، بررسی اثر تغییرات دما نیازمند اندازه گیری پارامترهای الکتریکی مانند ولتاژ آستانه و جریان dc روی گستره وسیعی از دما است. برای ارزیابی اثر دما بر عملکرد مدار تاخیر t_{cq} در دمای ۸۰ درجه سانتیگراد به کمک شبیه سازی SPICE تعیین گردید. بر اساس این شبیه سازی مقدار $31/3$ پیکوثانیه برای تاخیر t_{cq} در دمای ۸۰ درجه سانتیگراد به دست آمد که نسبت به اندازه این تاخیر در دمای ۲۷ درجه سانتیگراد که در جدول ۲ مشخص شده است، در حدود ۲۵٪ بیشتر است.

در حالت ایده آل، بررسی واقع بینانه عملکرد مدار تحت تاثیر تغییرات پارامترهای ساختاری و فیزیکی، نیازمند شبیه سازی مونته کارلو^۲ است. از طرف دیگر شبیه سازی مونته کارلو تنها بر اساس نتایج اندازه گیری های الکتریکی که امکان تحلیل آماری تغییرات پارامترهای الکتریکی را فراهم می کنند، امکان پذیر است. به طور مشخص، برای شبیه سازی مونته کارلو، علاوه بر توزیع آماری پارامترهای

² Monte Carlo

¹ Transmission gate

۵- نتیجه‌گیری

کارایی یک فلیپ فلاپ دو لبه پویا در فرکانس ۱۶/۷ گیگاهرتز با استفاده از سیگنال کلاک تک فاز واقعی در یک فرآیند CMOS ۲۲ نانومتری تایید شد. مزیت های پیاده سازی پویای ارائه شده شامل سرعت عملیاتی بالا، بازدهی انرژی بالا (حاصلضرب انرژی-تاخیر پایین) و عدم حساسیت به همپوشانی سیگنال کلاک هستند. مزایای فلیپ فلاپ پویای پیشنهادی بر مبنای مقایسه کارایی آن با یک فلیپ فلاپ TSPC دارای قابلیت عملکرد با ولتاژ تغذیه ای نزدیک به ولتاژ آستانه ترانزیستور و یک فلیپ فلاپ مبتنی بر المان C تایید شد.

الکتریکی کلیدی مانند ولتاژ آستانه و طول گیت پلی سیلیسیمی برای ترانزیستور، به توزیع آماری پارامترهای ساختاری، مانند ضخامت اکسید نیز نیاز داریم. با اینحال، به منظور ارزیابی کارایی مدار تحت تاثیر تغییرات ساختاری و فیزیکی از مدل ارائه شده برای بدترین حالت^۱ در فرآیند ساخت جهت تعیین مقدار بیشینه تاخیر t_{cq} به کمک شبیه سازی SPICE استفاده شد. بر اساس شبیه سازی به کمک این مدل در بدترین حالت مقدار ۴۰ پیکوثانیه برای تاخیر t_{cq} حاصل شد، که نسبت به اندازه این تاخیر در دمای ۲۷ درجه سانتیگراد، که در جدول ۲ مشخص شده است، در حدود ۶۰٪ بیشتر است.

مراجع

- [1] P. Bhattacharjee, A. Majumder, "A variation-aware robust gated flip-flop for power-constrained FSM application", *Journal of Circuits, Systems and Computers*, 28(7), p. 1950108, 2019.
- [2] N. A. Sabu, K. Batri, "Design and analysis of power efficient TG based dual edge triggered flip-flops with stacking technique", *Journal of Circuits, Systems and Computers* 29(8), p. 2050123, 2020.
- [3] Z. Huang, W. Zhong, L. Duan, Y. Zhang, H. Liang, J. Wang, T. Song, Y. Lu, "Low-power anti-glitch double-edge triggered flip-flop based on robust C-elements", *Journal of Circuits, Systems and Computers*, 31(13), p. 2250231, 2022.
- [۴] محمد آسیایی، "طراحی رجیستر فایل توان پایین در فناوری ۹۰ نانومتر CMOS"، نشریه مدل سازی در مهندسی، دوره ۱۶، شماره ۵۴، پاییز ۱۳۹۷، صفحه ۶۹-۸۱.
- [5] A. Pal. *Low-power VLSI Circuits and Systems*, 1st ed., Springer, New Delhi, India, 2015.
- [6] C. Kim, S. M. Kang, "A low-swing clock double-edge triggered flip-flop, *IEEE J. of Solid-State Circuits*, 37 (5), pp. 648–652, May 2002.
- [7] P. Nagarajan, N. A. Kumar, P. V. Ramana, "Design of implicit pulsed-dual edge triggering flip flop for low power and high speed clocking systems", *Proc. of International Journal of Wavelets, Multiresolution and Information Processing*, vol. 18, no. 1, pp. 1941009:1-1941009:19, 2020.
- [8] Y. Lee, G. Shin, Y. Lee, "A Fully Static True-Single-Phase-Clocked Dual-Edge-Triggered Flip-Flop for Near-Threshold Voltage Operation in IoT Applications, *IEEE Access*, 8, pp. 40232 – 40245, 2020.
- [9] A. Bonetti, A. Teman, A. Burg, "An overlap-contention free true single-phase clock dual-edge-triggered flip-flop. *Proc. IEEE Intl. Symp. Circuits Syst. Lisbon, Portugal*, pp.1850–1853, 2015.
- [10] S. Singar, N. K. Joshi, P. K. Ghosh, "A Glitch-Free Novel DET-FF in 22 nm CMOS for Low-Power Application", *Hindawi Journal of Nanotechnology*, 2934268 (6 pages), 2018.
- [11] Singar, S., Joshi, N. K., Ghosh, P. K. "Low Glitch DET-FF for Low Power Integrated Applications. *Proc. of the 6th IEEE International Conference on Signal Processing and Integrated Networks*, Noida, India, pp. 1030–1034, 2019.
- [12] M. Rajmohan, K. S. Sankaran, T. Rasagna, "Design of 4-Bit Dual Edge Triggered Counter using Quantum DOT Cellular Automata", *Proc. of the International Conference on Communications and Signal Processing (ICCSP)*, Chennai, India, 28-30 July 2020.
- [13] Y. Ji-Ren, I. Karlsson, C. Svensson, "A True Single-phase Clock Dynamic CMOS Circuit Technique", *IEEE J. Solid-State Circuits*, vol. 22, no. 5, pp. 899-901, 1987.
- [14] M. Rajabi, S. Jamasb, Y. Ganjandesh, "Low-power, Dynamic, D-type Flip-Flops for Biomedical Implant Devices", *Cumhuriyet Science Journal*, vol. 36, No.3, pp. 21-28, 2015.

¹ Slow process corner (worst-case) model

Design and Simulation of a High-speed, Low-power, Dynamic Double-edge-triggered Flip-flop

Shahriar Jamasb^{1,*}, Mojtaba Mazaheri²

1. Biomedical Engineering Department, Hamedan University of Technology, Hamedan, 6516913733, Iran,
2. Basic Science Department, Hamedan University of Technology, Hamedan, 6516913733, Iran,

*Corresponding Author: Shahriar Jamasb, Email: jamasb@hut.ac.ir

ARTICLE INFO

Keywords:

Static flip flops
Dynamic flip flops
Double-edged flip-flops
Nanometric CMOS
High speed
Low power consumption

ABSTRACT

Given the general trade-off between high-speed operation and low power consumption in digital integrated circuits, simultaneous reduction of the propagation delay and power dissipation in bistable memory elements represents a challenging task. Design of a dynamic dual-edge-triggered flip flop (DETFF) is presented which is faster, employs fewer transistors, and consumes less power than the standard static, master-slave flip flop. The proposed topology for the dynamic DETFF combines a pair of single-edge-triggered flip flops (FFs) using a 2:1 multiplexer with one flip flop being triggered on the positive edge and the other on the negative edge of a true single-phase clock (TSPC). The use of only eight clocked transistors accounts for the low-power operation of the proposed DETFF. The performance of the proposed DETFF is compared with that of a static, master-slave D-type flip-flop in a 90nm CMOS technology based on SPICE simulations. Also, SPICE simulations indicate that operating with a 0.9-V power supply at a clock frequency of 16.7 GHz, the proposed DETFF exhibits an average clock-to-Q delay of 25 ps and consumes 146 μ W in a 22nm CMOS technology. The performance of the proposed DETFF is also compared with those of a static DETFF employing C-elements and a static TSPC DETFF capable of near-threshold operation in nanometer CMOS technologies.
